

ХАРАКТЕРИСТИКИ

Прецизионный Сигма-Дельта АЦП с разрешением 24 разряда
 До 10 входных каналов
 24 разряда без пропуска кодов
 Эффективное разрешение на частоте 60Гц составляет 20 разрядов по среднему квадрату шумов (17,4 разряда от пика – до пика)
 Дрейф смещения – 10нВ/°С
 Дрейф коэффициента передачи – 0.5ppm/°С (режим прерывателя разрешен)

Память

62КБ внутренней FLASH/ЕЕ памяти программ
 4КБ внутренней FLASH/ЕЕ памяти данных
 Сохранность данных во Flash/ЕЕ памяти 100лет
 Число циклов программирования 100К
 3-х уровневая защита кода в памяти программ
 Последовательная загрузка кода в составе схемы (без дополнительной аппаратуры)
 Время загрузки ЭРПЗУ программ не превышает 5 сек
 2304 байт внутренней памяти данных - ОЗУ (RAM)

Ядро 8051

Система команд совместима с МК 8051
 Ядро высокого быстродействия с одноцикловыми командами
 Внешний кварцевый резонатор на 32КГц
 Программируемая система ФАПЧ (12.58МГц, максимум)
 3 Счетчика/Таймера по 16 разрядов
 26 программируемых линий В/В
 11 источников прерывания с 2 уровнями приоритета
 Два указателя данных, 11-разрядный указатель стека

Периферия кристалла

Встроенная схема сброса по подаче питания
 Два 16-разрядных Σ - Δ ЦАП/ШИМ
 Внутренний температурный сенсор
 Два источника тока возбуждения внешних датчиков
 Счетчик временного интервала (часы реального времени-TIC)
 Порты последовательного обмена UART, I2C® и SPI®
 Генератор сетки частот последовательного обмена (включая 115.200)
 Сторожевой таймер (WDT)
 Монитор источника питания (PSM)

Питание

Режимы питания: Нормальный 2.3мА (при напряжении 3.6В на тактовой частоте CLK=1.57МГц),
 Ждущий со снятым питанием 20мкА, макс (при работающем таймере TIC и напряжении 5В или 3В)
 Специфицируется для работы с питанием 3В и 5В

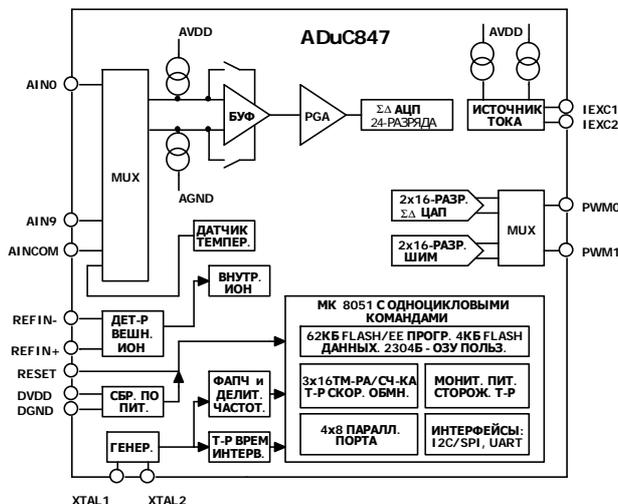
Корпус и диапазон температур

52-конт. MQFP (14x14)мм -40 - +125 °С
 56-конт. CSP (8x8)мм -40 - +85 °С

ПРИЛОЖЕНИЯ

Многоканальные системы мониторинга
 Промышленный инструмент
 Взвешивающие устройства
 Портативный инструмент, Системы с батарейным питанием
 Передатчики сигналов 4-20ма
 Системы сбора данных
 Системы прецизионного мониторинга

ФУНКЦИОНАЛЬНАЯ БЛОК-СХЕМА



СПЕЦИФИКАЦИИ¹

(AVDD=2.7В до 3.6В или 4.75В до 5.25В, DVDD=2.85В до 3.6В или 4.75В до 5.25В, REFIN(+)=+2.5В; REFIN(-)=AGND; AGND=DGND=0В; XTAL1/XTAL2=32.768КГц Резонатор; Все спецификации приводятся для T от T_{мин} до T_{макс}, если не оговаривается особо.) Буферный усилитель включен, если противное не оговаривается особо.

ПАРАМЕТР	МИН	СРЕД	МАКС	ЕДИНИЦЫ	УСЛОВИЯ ИЗМЕРЕНИЯ
АЦП (Стабилизация разрешена)¹					
Частота преобразования (Стаб. Разреш.)	5.4	19.79	105	Гц	CHOPOn (ADMCMODE.3=0)
(Стаб. Запрещ.)	16.06	59.36	1365	Гц	CHOPOff (ADMCMODE.3=1)
Без пропуска кодов ²	24			Разрядов	На частоте преобр. 19.79Гц
	24			Разрядов	На частоте преобр. 59.36Гц
Разрешение		13.5		Разряды р-р	±20мВ диапазон, 20Гц част.пр., Стаб. Разреш.
		13		Разряды р-р	±20мВ диапазон, 59.4Гц част.пр., Стаб. Запрещ.
		18.5		Разрядов	±2.56В диапазон, 20Гц част.пр., Стаб. Разреш.
		17.4		Разрядов	±2.56В диапазон, 59.4Гц част.пр., Стаб. Запрещ.
Выходной шум	Табл.	V – VIII АЦП	В Опис.		Выходной шум зависит от выбранных частоты преобразования, усиления и статуса стабилизац. (вкл/вык)
Интегральная нелинейность		±2	±15	ppm от FSR	1LSB ₁₆
Ошибка смещения ³	Табл.	±3 VII – VII		мкВ	CHOPOn (ADMCMODE.3=0) CHOPOff (ADMCMODE.3=1) Ошибка смещения после калибровки по порядку величины соответствует шумам.
Дрейф смещения (Стабил. разрешена)		±10		нВ/°C	CHOPOn (ADMCMODE.3=0)
Дрейф смещения (Стабил. запрещена)		±200		нВ/°C	CHOPOff (ADMCMODE.3=1)
Ошибка верхнего предела (плн. шкалы) ⁴		±10		мкВ	
Дрейф усиления ⁵		±0.5		ppm/°C	
АНАЛОГОВЫЕ ВХОДЫ АЦП					
Диапазон дифференциальных входных напряжений ^{6,7}					Усиление = от 1 до 128
Биполярный режим (ADCOCON.5=0)	±1.024	x Vref /	Усилен.	Вольт	Vref=REFIN(+)-REFIN(-) или REFIN2(+)-REFIN2(-) или (внутр. ИОН = 1.25В)
Униполярный режим (ADCOCON.5=1)	0÷1024	x REFIN/	Усилен.	Вольт	Vref=REFIN(+)-REFIN(-) или REFIN(+)-REFIN(-) или (внутр. ИОН = 1.25В)
Согласование диапазонов АЦП			±2	мкВ	AIN=18мВ, Стаб=Буф=Вкл.
Ослабление синфазного сигнала (CMR) на постоянном токе					
На AIN (аналоговый вход)	95			дБ	ПТ, AIN=7.8мВ, Диап.= ±20мВ
На AIN		113		дБ	ПТ, AIN=1В, Диап.= ±2.56В
Ослабление синфазного сигнала на частоте 50/60Гц					Частота преобраз.=20Гц
На AIN (аналоговый вход)	95			дБ	50/60±1Гц, AIN=7.8мВ, Диап.= ±20мВ
На AIN	90			дБ	50/60±1Гц, AIN=1В, Диап.= ±2.56В
На AIN	95			дБ	Частота преобраз.=59Гц
На AIN	90			дБ	50/60±1Гц, AIN=7.8мВ, Диап.= ±20мВ
На AIN				дБ	50/60±1Гц, AIN=1В, Диап.= ±2.56В
Ослабление противофазного сигнала на частоте 50/60Гц					50/60±1Гц
На AIN	60			дБ	Част.Пр.=20Гц, Стаб.= Вкл.
На AIN	60			дБ	Част.Пр.=59Гц, Стаб.= Выкл.
Входной ток ²			±1	нА	Tmax=85 °C, Буф=Вкл.
			±5	нА	Tmax=125 °C Буф=Вкл.
Дрейф входного тока		±5		пА/°C	Tmax=85 °C, Буф=Вкл.
		±15		пА/°C	Tmax=125 °C Буф=Вкл.

ПАРАМЕТР	МИН	СРЕД	МАКС	ЕДИНИЦЫ	УСЛОВИЯ ИЗМЕРЕНИЯ
Входной ток		± 125		нА/В	Диап. = ± 2.56 В, Буф. = Выкл. Буфер=Выкл. Ain1-Ain10 и AINCON, Буфер=Вкл. (ADCOCON1.6=0 и ADCOCON1.7=0) Ain1-Ain10 и AINCON, Буф=Выкл. (ADCOCON1.6=0 и ADCOCON1.7=1)
Дрейф входного тока		± 2		пА/В/ $^{\circ}$ С	
Диапазон входного напряжения на AIN ²	$A_{GND}+0.1$		$A_{DD}-0.1$	Вольт	
Диапазон входного напряжения на AINCOM	$A_{GND}+0.03$		$A_{DD}-0.03$	Вольт	
ВХОДЫ ВНЕШНЕГО ИОН					
Напряжение REFIN(+) - REFIN(-)	1	2.5	A_{VDD}	Вольт	REFIN к REFIN и REFIN2 REFIN к REFIN и REFIN2 АЦП разрешен
Диапазон REFIN(+) - REFIN(-)				Вольт	
Средний входной ток		1		мкА/Вольт	Разряд NOXREF (ADCSTAT.4) активен если $V_{REF}<0.3$ В Разряд NOXREF пассивен если $V_{REF}>0.65$ В DC, AIN=1В, Диапзон= ± 2.56 В
Дрейф среднего входного тока		± 0.1		нА/В/ $^{\circ}$ С	
Порог переключения «Нет внешнего ИОН»	0.3		0.65	Вольт	
Ослабление синфазного сигнала на постоянном токе (DC)		125		дБ	50/60 \pm 1Гц, AIN=1В, Диапзон= ± 2.56 В, SF=82. REJ60=1 (ADCMODE.6=1) 50/60 \pm 1Гц, AIN=1В, Диап. = ± 2.56 В, SF=82 REJ60=1 (ADCMODE.6=1)
Ослабление синфазного сигнала на частоте 50/60Гц	90			дБ	
Ослабление противофазного сигнала на частоте 50/60Гц	60			дБ	
СИСТЕМНАЯ КАЛИБРОВКА АЦП					
Предел калибровки полной шкалы			+1.05 FS	Вольт	
Предел калибровки нуля шкалы	-1.05 FS			Вольт	
Диапазон входных сигналов	0.8 FS		2.1 FS	Вольт	
ИСТОЧНИК КОНТРОЛЯ ЦЕЛОСТНОСТИ ПЕРВИЧНОГО ПРЕОБРАЗОВАТЕЛЯ					
Ток AIN+		-100		нА	Выбран вход АЦП AIN+ (Ain4 или Ain6) Выбран вход АЦП AIN- (Ain5 или Ain7)
Ток AIN-		100		нА	
Начальный допуск при 25 $^{\circ}$ С		± 10		%	
Дрейф		0.03		%/ $^{\circ}$ С	
ИСТОЧНИКИ ТОКА ВОЗБУЖДЕНИЯ					
Выходной ток		-200		мкА	От каждого источника
Начальный допуск при 25 $^{\circ}$ С		± 10		%	
Дрейф		200		ppm/ $^{\circ}$ С	Согласование обоих источн.
Начальное согласование токов при 25 $^{\circ}$ С		± 1		%	
Относительный дрейф		20		ppm/ $^{\circ}$ С	$A_{VDD}=5$ В \pm 5%
Нестабильность по входу (от A_{VDD})		1		мкА/В	
Нестабильность по нагрузке			0.1	Вольт	
Допустимое выходное напряжение	A_{GND}		$A_{DD}-0.6$	Вольт	
МОНИТОР ИСТОЧНИКА ПИТАНИЯ (PSM)					
Диапазон порога срабатывания по A_{VDD}	2.63		4.63	Вольт	Существует 4 точки Тмакс=85 $^{\circ}$ С
Точность установки порога по A_{VDD}			± 3	%	
Точность установки порога по A_{VDD}			± 3	%	Тмакс=125 $^{\circ}$ С
Диапазон порога срабатывания по DV_{DD}	2.63		4.63	Вольт	
Точность установки порога по DV_{DD}			± 3	%	Существует 4 точки Тмакс=85 $^{\circ}$ С
Точность установки порога по DV_{DD}			± 3	%	

ПАРАМЕТР	МИН	СРЕД	МАКС	ЕДИНИЦЫ	УСЛОВИЯ ИЗМЕРЕНИЯ
ТРЕБОВАНИЯ К ИСТОЧНИКАМ ПИТАНИЯ					
Напряжение Источников					
AV _{DD} с номиналом 3В	2.85		3.6	Вольт	
AV _{DD} с номиналом 5В	4.75		5.25	Вольт	
DV _{DD} с номиналом 3В	2.85		3.6	Вольт	
DV _{DD} с номиналом 5В	4.75		5.25	Вольт	
Ослабление влияния Источника питания					AIN=1В, Диап.=±2.56В
Стабилизация выключена	70	95		дБ	
Стабилизация включена		113		дБ	
ПОТРЕБЛЕНИЕ ОТ ИСТОЧНИКА 5В					
В нормальном режиме ^{14, 15}					4.75В<DV _{DD} <5.25В, AV _{DD} =5.25В Частота ядра=1.57МГц Частота ядра=12.58МГц
Ток от DV _{DD}		13	4	мА	
Ток от AV _{DD}			16	мА	
В ждущем режиме ^{14, 15}			180	мкА	
Ток от DV _{DD}			53	мкА	
			100	мкА	Т _{макс} =85°C; Осц=Вкл.; ТИС=Вкл. Т _{макс} =125°C; Осц=Вкл.; ТИС=Вкл.
Ток от DV _{DD}			30	мкА	Т _{макс} =85°C; Осц=Выкл.
Ток от AV _{DD}			80	мкА	Т _{макс} =125°C; Осц=Выкл.
			1	мкА	Т _{макс} =85°C; Осц=Выкл/Вкл.
			3	мкА	Т _{макс} =125°C; Осц=Выкл/Вкл.
Среднее потребление тока периферией (AI _{DD} и DI _{DD})					
АЦП			1	мА	
Монитор источника питания			50	мкА	
ЦАП			150	мкА	
Двух источников тока возбуждения			400	мкА	
ПОТРЕБЛЕНИЕ ОТ ИСТОЧНИКА 3В					
В нормальном режиме ^{14, 15}					4.75В<DV _{DD} <5.25В, AV _{DD} =5.25В Частота ядра=1.57МГц Частота ядра=12.58МГц
Ток от DV _{DD}		8	2.3	мА	
Ток от AV _{DD}			10	мА	
В ждущем режиме ^{18, 19}			180	мкА	
Ток от DV _{DD}			20	мкА	Т _{макс} =85°C; Осц=Вкл.; ТИС=Вкл. Т _{макс} =125°C; Осц=Вкл.; ТИС=Вкл.
			40	мкА	Осц=Выкл.
Ток от DV _{DD}		10		мкА	Т _{макс} =125°C; Осц=Выкл.
Ток от AV _{DD}			80	мкА	Т _{макс} =85°C; Осц=Выкл/Вкл.
			1	мкА	Т _{макс} =125°C; Осц=Выкл/Вкл.
			3	мкА	

Примечания:

¹Температурный диапазон для ADuC847BS (корпус MQFP) от -40°C до $+125^{\circ}\text{C}$.

Температурный диапазон для ADuC847BCP (корпус CSP) от -40°C до $+85^{\circ}\text{C}$.

²Эти данные не являются результатом испытаний, но гарантируются самой конструкцией и/или характеристикой при выпуске устройства.

³ Данная ошибка может быть скомпенсирована Системной калибровкой нуля.

⁴ АЦП калибруется при изготовлении при 25°C AVDD=DVDD=5В, что обеспечивает ошибку верхнего предела (полной шкалы) 10 мкВ. Если условия эксплуатации по питанию или температуре существенно отличаются от приведенных, то Внутренняя Калибровка полной шкалы восстановит данную цифру – 10 мкВ. Системная калибровка нуля и верхнего предела вовсе ликвидируют данную ошибку.

⁵ Дрейф усиления является дрейфом диапазона устройства. Для расчета полного дрейфа к дрейфу усиления следует добавить дрейф смещения.

⁶ В общей терминологии, диапазон биполярного входного напряжения АЦП определяется как: Диапазон = $\pm(VREF \cdot 2^{RN})/125$, где:

VREF = REFIN(+) относительно REFIN(-) или VREF = 1.25В, если выбран внутренний ИОН.

RN = десятичный эквивалент RN2, RN1, RN0,

т.е. VREF = 2.5В и RN2, RN1, RN0 = 1, 1, 0 Диапазон = $\pm 1.28\text{В}$.

в униполярном режиме, для данного случая, эффективный диапазон составляет 0В – 1.28В.

⁷ Когда для АЦП выбран внутренний ИОН с помощью бит XREF0 и XREF1 в ADC0CON и ADC1CON, соответственно, опорное напряжение составляет 1.25В.

⁸ При данных испытаниях корпус CSP ADuC847BCP остается не подключенным.

⁹ Контакты SPI для данного испытания конфигурируются как цифровые входы.

¹⁰ Контакты сконфигурированы только для режима I²C.

¹¹ Характеристики сохранности данных Flash/EE памяти справедливы как для Flash/EE памяти программ, так и данных.

¹² Надежность определяется как 100К циклов, в соответствие с JEDEC Std. 22 Method A117 и она измеряется при -40°C , $+25^{\circ}\text{C}$, $+85^{\circ}\text{C}$ и $+125^{\circ}\text{C}$; типовая надежность при температуре $+25^{\circ}\text{C}$ составляет 700К циклов.

¹³ Эквивалентное время сохранности информации при температуре перехода $T_J = 55^{\circ}\text{C}$, в соответствие с JEDEC Std. 22 Method A117. Интервал сохранности, основанный на энергии активации 0.6 эВ, уменьшается с ростом температуры.

¹⁴ Потребление тока от источника измеряется для 3-х режимов – Нормального, Холостого и Ждущего при следующих условиях:

Нормальный: Reset = 0.4В, Цифровые порты V/B = отключены от нагрузки, Тактовая частота ядра меняется с помощью бит CD в PLLCON, Ядро исполняет программный цикл во внутренней памяти.

Холостой: Reset = 0.4В, Цифровые порты V/B = отключены от нагрузки, Тактовая частота ядра меняется с помощью бит CD в PLLCON, PCON.0 = 1, Выполнение программы приостановлено.

Ждущий: Reset = 0.4В, Все контакты P0 и контакты P1.2 –P1.7 = 0.4В, Все прочие цифровые порты

V/B = отключены от нагрузки, Тактовая частота ядра меняется с помощью бит CD в PLLCON, PCON.1 = 1, Выполнение программы приостановлено, Осциллятор либо включен, либо выключен в соответствие с битом OSC_PD (PLLCON.7) в PLLCON SFR.

¹⁵ Ток, потребляемый от источника DVDD во время исполнения цикла программирования или стирания Flash/EE памяти увеличится приблизительно на 3мА (при 3В питании) и на 10ма (при 5В питании).

Спецификации могут изменяться без специального извещения.

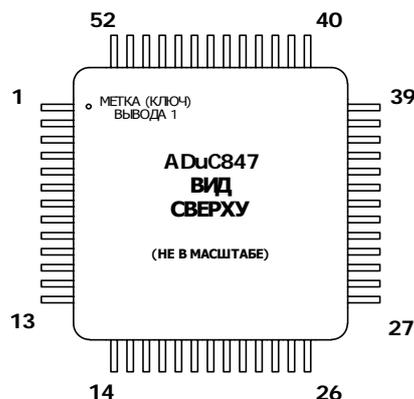
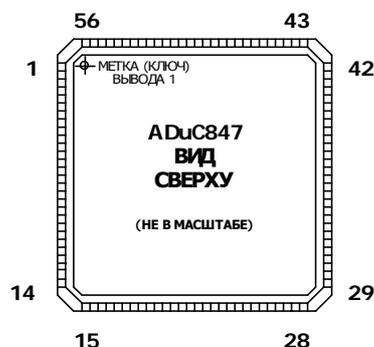
Предельно допустимые параметры ¹(T_a = +25 °C, если не оговаривается особо)

AV _{DD} к AGND	-0.3В до +7В
AV _{DD} к DGND	-0.3В до +7В
DV _{DD} к AGND	-0.3В до +7В
DV _{DD} к DGND	-0.3В до +7В
AGND к DGND ²	-0.3В до +0.3В
AV _{DD} к DV _{DD}	-2В до +5В
Аналоговые входы к AGND ³	-0.3В до AV _{DD} +0.3В
Вход ИОН к AGND	-0.3В до AV _{DD} +0.3В
Входной ток AIN/ИОН	30мА
Цифровой вход к DGND	-0.3В до DV _{DD} +0.3В
Цифровой выход к DGND	-0.3В до DV _{DD} +0.3В
Диапазон рабочих температур	-40°C .. +85°C
Температура хранения	-65°C .. +150°C
Температура перехода	150°C
Θ _{JA} Температурное сопротивление	90°C/Вт
Температура выводов при пайке:	
В паровой фазе (60сек)	+215°C
Инфракрасная (15сек)	+220°C

¹ Превышение указанных выше предельных параметров может вызвать повреждение устройства. Эксплуатация устройства при предельных значениях параметров может повлиять на его надежность.

² У ADuC847 контакты AGND и DGND замкнуты внутри корпуса.

³ Применимо для контактов P1.0 – P1.7, находящихся в режиме аналогового или цифрового ввода.

РАСПОЛОЖЕНИЕ ВЫВОДОВ**КОРПУС MQFP-52****КОРПУС CSP-56****СПРАВКА ДЛЯ ЗАКАЗА**

Модель	Температурн. диапазон °C	Напряж. питания В	Объем памяти программ	Описание корпуса	Тип корпуса
ADuC847BS62-5	-40 °C - +125	5В	62КБайта	52-контактный MQFP	S-52
ADuC847BS62-3	-40 °C - +125	3В	62КБайта	52-контактный MQFP	S-52
ADuC847BS8-5	-40 °C - +85	5В	8КБайта	52-контактный MQFP	S-52
ADuC847BS8-3	-40 °C - +85	3В	8КБайта	52-контактный MQFP	S-52
ADuC847BCP62-5	-40 °C - +85	5В	62КБайта	56-контактный CSP	CP-56
ADuC847BCP62-3	-40 °C - +85	3В	62КБайта	56-контактный CSP	CP-56
ADuC847BCP8-5	-40 °C - +85	5В	8КБайт	56-контактный CSP	CP-56
ADuC847BCP8-3	-40 °C - +85	3В	8КБайт	56-контактный CSP	CP-56
EVAL-ADuC847QS				Система разработки Quick Start™	
EVAL-ADuC847QSP				Система разработки Quick Start Plus	

ВНИМАНИЕ !

Устройство чувствительно к электростатическим разрядам (ESD). Разряд до 4000В, уже накопленный на человеке или оборудовании, может произойти неконтролируемым образом при простом прикосновении к устройству. Не смотря на то, что устройство ADuC847 имеет цепи защиты, для сохранения его работоспособности следует предпринять соответствующие меры.

ОПИСАНИЕ КОНТАКТОВ

Конт. 52-MQFP	Конт. 56-CSP	Мнемоника	Тип	Функция
1	56	P1.0/AIN1	I	После подачи питания по умолчанию P1.0/AIN1 конфигурируется как Аналоговый Вход AIN1. При совместном использовании с входом AINCOM AIN1 может служить псевдо-дифференциальным входом, либо положительным входом полного дифференциального каскада при использовании совместно с входом AIN2. Поскольку P1.0 не имеет цифрового выходного каскада, он может использоваться только как цифровой вход; для этого в него необходимо предварительно записать «0».
2	1	P1.0/AIN2	I	После подачи питания по умолчанию P1.1/AIN2 конфигурируется как Аналоговый Вход AIN2. При совместном использовании с входом AINCOM AIN2 может служить псевдо-дифференциальным входом, либо отрицательным входом полного дифференциального каскада при использовании совместно с входом AIN1. Поскольку P1.1 не имеет цифрового выходного каскада, он может использоваться только как цифровой вход; для этого в него необходимо предварительно записать «0».
3	2	P1.2/AIN3/ REFIN2+	I	После подачи питания по умолчанию P1.2/AIN3 конфигурируется как Аналоговый Вход AIN3. При совместном использовании с входом AINCOM AIN3 может служить псевдо-дифференциальным входом, либо положительным входом полного дифференциального каскада при использовании совместно с входом AIN4. Поскольку P1.2 не имеет цифрового выходного каскада, он может использоваться только как цифровой вход; для этого в него необходимо предварительно записать «0». P1.2 может так же быть положительным дифференциальным входом второго источника опорного напряжения (ИОН).
4	3	P1.3/AIN4/ REFIN2-	I	После подачи питания по умолчанию P1.3/AIN4 конфигурируется как Аналоговый Вход AIN4. При совместном использовании с входом AINCOM AIN4 может служить псевдо-дифференциальным входом, либо отрицательным входом полного дифференциального каскада при использовании совместно с входом AIN3. Поскольку P1.3 не имеет цифрового выходного каскада, он может использоваться только как цифровой вход; для этого в него необходимо предварительно записать «0». P1.3 может так же быть отрицательным входом второго источника опорного напряжения.
5	4	AVDD	S	Источник питания аналоговых цепей.
6	5	AGND	S	Аналоговая земля.
--	6	AGND	S	Второй вывод аналоговой земли (только для корпуса CSP)*.
7	7	REFIN-	I	Отрицательный вход внешнего ИОН.
8	8	REFIN+	I	Положительный вход внешнего ИОН.
9	9	P1.4/AIN5	I	После подачи питания по умолчанию P1.4/AIN5 конфигурируется как Аналоговый Вход AIN5. При совместном использовании с входом AINCOM AIN5 может служить псевдо-дифференциальным входом, либо положительным входом полного дифференциального каскада при использовании совместно с входом AIN6. Поскольку P1.4 не имеет цифрового выходного каскада, он может использоваться только как цифровой вход; для этого в него необходимо предварительно записать «0».

* Примечание: этот вывод существует только в CSP версии корпуса.

Конт. 52-MQFP	Конт. 56-CSP	Мнемоника	Тип	Функция
10	10	P1.5/AIN6	I	После подачи питания по умолчанию P1.5/AIN6 конфигурируется как Аналоговый Вход AIN6. При совместном использовании с входом AINCOM AIN6 может служить псевдо-дифференциальным входом, либо отрицательным входом полного дифференциального каскада при использовании совместно с входом AIN5. Поскольку P1.5 не имеет цифрового выходного каскада, он может использоваться только как цифровой вход; для этого в него необходимо предварительно записать «0».
11	11	P1.6/ AIN7/ IEXC1	I/O	После подачи питания по умолчанию P1.6/AIN7 конфигурируется как Аналоговый Вход AIN7. При совместном использовании с входом AINCOM AIN7 может служить псевдо-дифференциальным входом, либо положительным входом полного дифференциального каскада при использовании совместно с входом AIN8. Поскольку P1.6 не имеет цифрового выходного каскада, он может использоваться только как цифровой вход; для этого в него необходимо предварительно записать «0». На этот вывод можно подать выход одного или обоих внутренних генераторов тока возбуждения.
12	12	P1.7/ AIN8/ IEXC2	I/O	После подачи питания по умолчанию P1.7/AIN8 конфигурируется как Аналоговый Вход AIN8. При совместном использовании с входом AINCOM AIN8 может служить псевдо-дифференциальным входом, либо отрицательным входом полного дифференциального каскада при использовании совместно с входом AIN7. Поскольку P1.7 не имеет цифрового выходного каскада, он может использоваться только как цифровой вход; для этого в него необходимо предварительно записать «0». На этот вывод можно подать выход одного или обоих внутренних генераторов тока возбуждения.
13	13	AINCOM	I	При выборе режима псевдо-дифференциальных входов AINCOM является общим входом для всех индивидуальных дифференциальных входов.
14	14	--	--	
--	15	AIN9*	I	AIN9 можно использовать либо как аналоговый псевдо-дифференциальный вход относительно AINCOM, либо как положительный вход полного дифференциального каскада относительно AIN10*.
--	16	AIN10*	I	AIN10 можно использовать либо как аналоговый псевдо-дифференциальный вход относительно AINCOM, либо как отрицательный вход полного дифференциального каскада относительно AIN9*.
15	17	RESET	I	Слабо подтянутый к земле контакт сброса (RESET) с триггером Шмидта на входе. Наличие на этом контакте напряжения высокого уровня в течение 16-ти периодов частоты ядра при работающем осцилляторе вызывает начальную установку устройства.

* Примечание: этот вывод существует только в CSP версии корпуса.

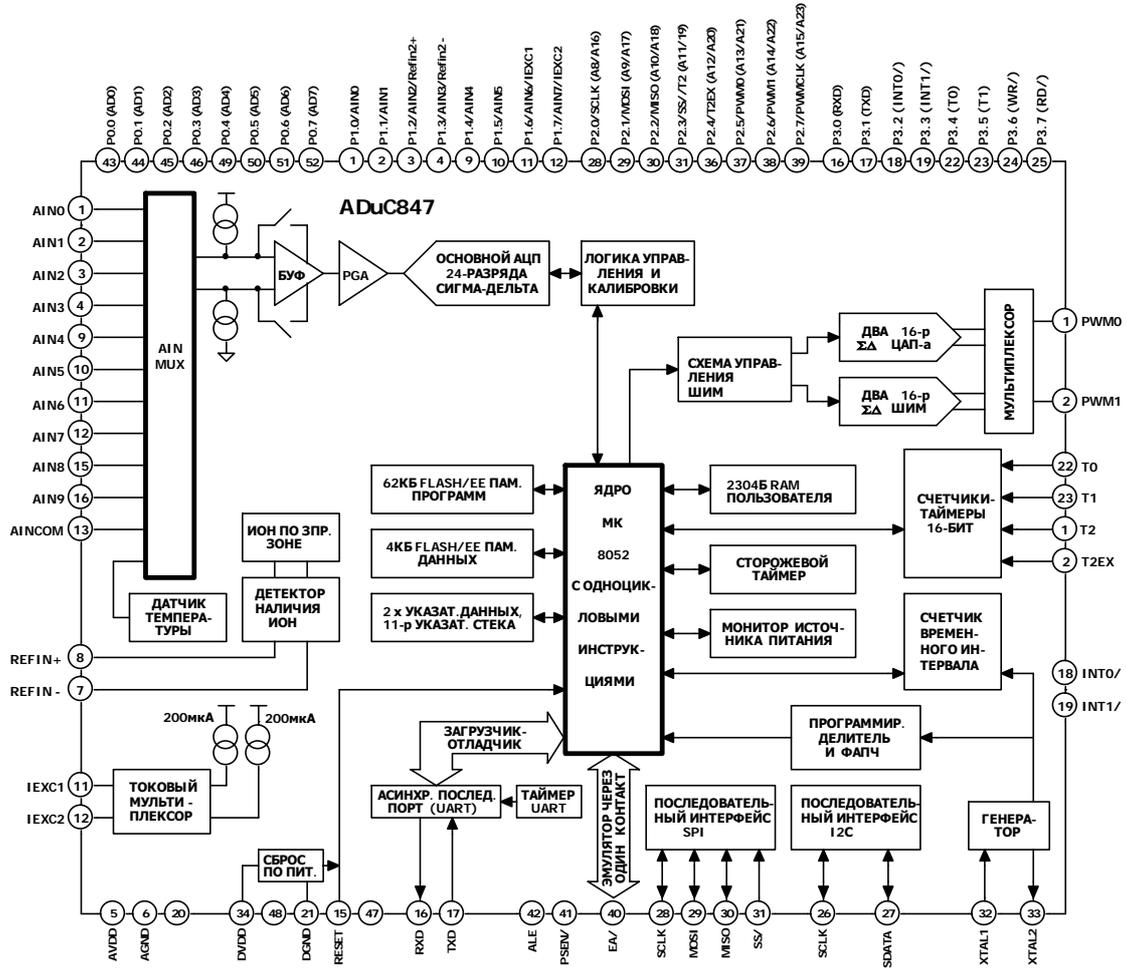
Конт. 52-MQFP	Конт. 56-CSP	Мнемоника	Тип	Функция
16-19 22-25	18-21 24-27	P3.0÷P3.7	I/O	P3.0-P3.7 – контакты двунаправленного порта с внутренними резисторами подтягивания к питанию. Входы/выходы Порты3, в которые записаны 1-цы, можно использовать как входы. Если контакты Порты3, используемые как входы, внешним образом установить в 0, то из-за наличия внутренних резисторов подтягивания к питанию во внешнюю цепь будет подаваться небольшой ток. При генерации на выход перепада 0-1 на время в течение 2-х периодов тактовой частоты ядра включается мощный выходной каскад, обеспечивающий сильное подтягивание сигнальной линии к питанию. Как описано ниже, контакты Порты3 выполняют еще и некоторые дополнительные функции. Принимаемые данные последовательного порта UART. Передаваемые данные последовательного порта UART. Внешнее прерывание 0. Данный контакт можно использовать как строб разрешения счета Таймера0. Принимаемые данные последовательного порта UART. Внешнее прерывание 1. Данный контакт можно использовать как строб разрешения счета Таймера1. Внешний вход Таймера/Счетчика 0. Внешний вход Таймера/Счетчика 1. Строб записи во внешнюю память данных. Заносит байт данных из Порты0 во внешнюю память данных. Строб чтения из внешней памяти данных. разрешает ввод данных из внешней памяти в Порты0.
16 17 18	18 19 20	P3.0/RXD P3.1/TXD P3.2/INT0		
19	21	P3.3/INT1		
22 23 24	24 25 26	P3.4/T0/ P3.5/T1 P3.6/WR		
25	27	P3.7/RD		
20, 34, 48	22, 36, 51	DVDD	S	Цифровое питающее напряжение.
21, 35, 47	23, 37, 50	DGND	S	Цифровая земля.
26	28	SCLCK(I ² C)	I/O	Сигнал синхронизации интерфейса I ² C. Когда этот контакт используется как вход, то его входным каскадом будет триггер Шмидта с внутренним слабо подтягивающим к питанию резистором. Дополнительно этим контактом можно управлять с помощью программы, когда он используется как выход.
27	29	SDATA	I/O	Вход/Выход последовательных данных интерфейса I ² C. Когда этот контакт является входом, то к нему подключается внутренний, слабо подтягивающий к питанию резистор. Дополнительно этим контактом можно управлять с помощью программы, когда он используется как выход.
28-31 36-39	30-33 38-42	P2.0-P2.7	I/O	Двунаправленный Порт2 с внутренними, подтягивающими к питанию резисторами,. Входы/выходы Порты2, в которые записаны 1-цы, можно использовать как входы. Если контакты Порты2, используемые как входы, внешним образом установить в 0, то из-за наличия внутренних резисторов подтягивания к питанию во внешнюю цепь будет подаваться небольшой ток. Порт2 образует средний и старший байты адреса при обращении к 24-битному пространству внешней памяти данных. Контакты Порты2 обладают некоторыми дополнительными функциями, перечисленными ниже.

* Примечание: этот вывод существует только в CSP версии корпуса.

Конт. 52-MQFP	Конт. 56-CSP	Мнемоника	Тип	Функция
28	30	P2.0/SCLOCK (SPI)		Сигнал синхронизации последовательного интерфейса SPI. Когда этот контакт используется как вход, то его входным каскадом будет триггер Шмидта. При использовании контакта в качестве выхода на него подключается внутренний слабо подтягивающим к питанию резистор.
29	31	P2.1/MOSI		(Ведущий вывод данных)/(ведомый ввод данных) интерфейса SPI. В режиме вывода сигналов SPI обеспечивается сильное подтягивание вывода к питанию при выводе лог.1 и сильное подтягивание к уровню земли при выводе лог.0.
30	32	P2.2/MISO		(Ведущий ввод данных)/(ведомый вывод данных) интерфейса SPI. Этот контакт слабо подтянут к питанию.
31	33	P2.3/SS/T2		Вход выбора Ведомого интерфейса SPI. Этот контакт слабо подтянут к питанию. Для обеих версий исполнения этот контакт можно использовать в качестве счетного входа Таймера2. При разрешенном режиме счета отрицательный перепад на этом входе вызывает инкрементирование Таймера2.
36	39	P2.4/T2EX		Вход управления Таймером2. при разрешенном управлении отрицательный перепад на этом входе приводит либо к выполнению захвата данных Таймера2, либо к его перезагрузке.
37	40	P2.5/PWM0		При разрешенном ШИМ-генераторе на этом выходе появляется сигнал от ШИМ0.
38	41	P2.6/PWM1		При разрешенном ШИМ-генераторе на этом выходе появляется сигнал от ШИМ1.
39	42	P2.7/PWMCLK		При разрешенном ШИМ-генераторе на этот вход можно подать сигнал внешней синхронизации для ШИМ-генератора.
32	34	XTAL1	I	Вход инвертирующего усилителя генератора кварцевого резонатора.
33	35	XTAL2	O	Выход инвертирующего усилителя генератора кварцевого резонатора. (см. раздел «Рассмотрение аппаратной конфигурации»).
40	43	EA		Логический вход разрешения доступа к внешней памяти. При высоком логическом уровне сигнала на этом входе выборка команд будет производиться из внутренней памяти кода в диапазоне адресов: от 0000h до F7FFh. ADuC847 не может осуществлять доступ к внешней памяти программ. Для определения режима выборки кода контакт EA стробируется в конце внешнего сигнала RESET или при подаче на устройство питания. Кроме того, контакт EA можно использовать как В/В для внешней эмуляции, поэтому потенциал на этом контакте должен быть неизменным при нормальной работе, так как в противном случае будет вызвано прерывание, которое прекратит нормальное выполнение кода МК.
41	44	PSEN		Логический выход разрешения доступа к памяти программ. Этот сигнал разрешает доступ внешней памяти программ к магистрали МК в циклах выборки инструкций. Выход находится в высоком логическом состоянии при выполнении программы из внутренней памяти. Этот выход можно использовать для разрешения режима последовательной загрузки устройства. Для этого необходимо подключить его через резистор к земле во время подачи внешнего сигнала RESET или при подаче на устройство питающего напряжения.

Конт. 52-MQFP	Конт. 56-CSP	Мнемоника	Тип	Функция
42	45	ALE		Логический выход разрешения защелкивания (фиксации) адреса. Этот сигнал используется для защелкивания в регистр младшего байта адреса (или байта страницы при 24-битной адресации) памяти в циклах обращения к внешней памяти программ или данных. Его появление можно запретить путем установки разряда PCON.4 в PCON SFR.
43-46 49-52	46-49 52-55	P0.0-P0.7	I/O	P0.0-P0.7 – контакты двунаправленного Порто0 с открытым стоком. Линии Порто0, в которые записаны 1-цы, становятся «плавающими» и в таком состоянии их можно использовать как входы с высоким импедансом. Для корректной передачи высокого логического уровня на эти контакты необходимо устанавливать внешние, подтягивающие к питанию, резисторы. Кроме этого, Порто0 мультиплексирован с младшим байтом адреса и магистралью данных при обращении к внешней памяти данных. В последнем случае, при установке 1-цы порт использует внутренние схемы подтягивания к питанию.

* I=ввод, вход (input), O=вывод, выход (output), S=питание (supply)



* НОМЕРА ВЫВОДОВ ОТНОСЯТСЯ ТОЛЬКО К КОРПУСУ CSP

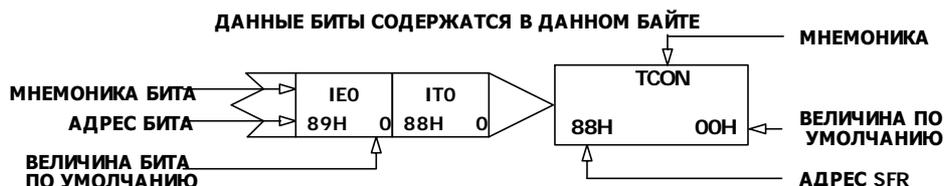
Элементы, очерченные жирной рамкой, отсутствуют в ИС ADuC834. Этими элементами являются: МП ядро с одоцикловыми командами и АЦП на 10 входов (на 8 входов для корпуса MQFP)

Рис.1 Детальная блок-схема ADuC847

ПОЛНАЯ КАРТА РАЗМЕЩЕНИЯ SFR

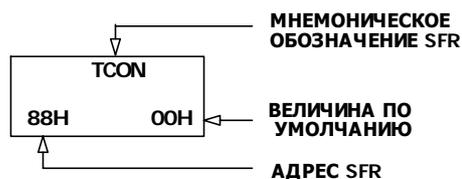
На Рис.2 показана полная карта размещения SFR и содержимое SFR по сбросу (RESET); «не исп. (не используется)» указывает на незанятые элементы SFR. Незанятые элементы в области адресов SFR не следует использовать, поскольку здесь не существует никаких регистров. Если незанятый элемент считать, то будет получена неопределенная величина. Резервные элементы SFR предназначаются для использования в будущих изделиях и обозначаются как «резерв»; их так же не следует использовать в программном обеспечении пользователя.

ISPI FFH 0	WCOL FEH 0	SPE FDH 0	SPIM FCH 0	CPOL FBH 0	CPHA FAH 0	SPR1 F9H 0	SPR0 F8H 0	БИТЫ >	SPICON F8H
F7H 0	F6H 0	F5H 0	F4H 0	F3H 0	F2H 0	F1H 0	F0H 0	БИТЫ >	B F0H
MDO EFH 0	MDE EEH 0	MCO EDH 0	MDI ECH 0	I2CM EBH 0	I2CRS EAH 0	I2CTX E9H 0	I2C1 E8H 0	БИТЫ >	I2CCON E8H
E7H 0	E6H 0	E5H 0	E4H 0	E3H 0	E2H 0	E1H 0	E0H 0	БИТЫ >	ACC E0H
RDY0 DFH 0	RDY1 DEH 0	CAL DDH 0	NOXREF DCH 0	ERR0 DBH 0	ERR1 DAH 0	D9H 0	D8H 0	БИТЫ >	ADCSTAT D8H
CY D7H 0	AC D6H 0	F0 D5H 0	RS1 D4H 0	RS0 D3H 0	OV D2H 0	F1 D1H 0	P D0H 0	БИТЫ >	PSW D0H
TF2 CFH 0	EXF2 CEH 0	RCLK CDH 0	TCLK CCH 0	EXEN2 CBH 0	TR2 CAH 0	CNT2 C9H 0	CAP2 C8H 0	БИТЫ >	T2CON C8H
PRE3 C7H 0	PRE2 C6H 0	PRE1 C5H 0	PRE0 C4H 1	WDIR C3H 0	WDS C2H 0	WDE C1H 0	WDWR C0H 0	БИТЫ >	WDCON C0H
BFH 0	PADC BEH 0	PT2 BDH 0	PS BCH 0	PT1 BBH 0	PX1 BAH 0	PT0 B9H 0	PX0 B8H 0	БИТЫ >	IP B8H
RD/ B7H 1	WR/ B6H 1	T1 B5H 1	TO B4H 1	INT1/ B3H 1	INT0/ B2H 1	TXD B1H 1	RXD B0H 1	БИТЫ >	P3 B0H
EA AFH 0	EADC AEH 0	ET2 ADH 0	ES ACH 0	ET1 ABH 0	EX1 AAH 0	ETO A9H 0	EXO A8H 0	БИТЫ >	IE A8H
A7H 1	A6H 1	A5H 1	A4H 1	A3H 1	A2H 1	A1H 1	A0H 1	БИТЫ >	P2 A0H
SM0 9FH 0	SM1 9EH 0	SM2 9DH 0	REN 9CH 0	TB8 9BH 0	RB8 9AH 0	T1 99H 0	R1 98H 0	БИТЫ >	SCON 98H
97H 1	96H 1	95H 1	94H 1	93H 1	92H 1	T2EX 91H 1	T2 90H 1	БИТЫ >	P1 90H
TF1 8FH 0	TR1 8EH 0	TF0 8DH 0	TR0 8CH 0	IE1 8BH 0	IT1 8AH 0	IE0 89H 0	IT0 88H 0	БИТЫ >	TCON 88H
87H 1	86H 1	85H 1	84H 1	83H 1	82H 1	81H 1	80H 1	БИТЫ >	P0 80H



Продолжение рисунка на следующей странице

SPICON F8H 04H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
B F0H 00H	РЕЗЕРВ	I ² CADD1 F2H 7FH	НЕ ИСП.	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	SPIDAT F7H 00H
I2CCON E8H 00H	GNOL ² E9H 55H	GNOM ² EAH 55H	GNOH ² EBH 53H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
ACC E0H 00H	OF0L E1H 00H	OF0M E2H 00H	OF0H E3H 80H	РЕЗЕРВ	РЕЗЕРВ	ADC0CON2 E6H 00H	РЕЗЕРВ
ADCSTAT D8H 00H	ADCL D9H 00H	ADCM DAH 00H	ADCH DBH 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	PSMCON DFH DEH
PSW D0H 00H	ADCMODE D1H 10H	ADC0CON D2H 07H	РЕЗЕРВ	SF D4H 45H	ICON D5H 00H	РЕЗЕРВ	PLLCON D7H 03H
T2CON C8H 00H	РЕЗЕРВ	RCAP2L CAH 00H	RCAP2H CBH 00H	TL2 CCH 00H	TH2 CDH 00H	РЕЗЕРВ	РЕЗЕРВ
WDCON C0H 10H	РЕЗЕРВ	CHIPID C2H 22H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	EADRL C6H 00H	EADRH C7H 00H
IP B8H 00H	ECON B9H 00H	РЕЗЕРВ	РЕЗЕРВ	EDATA1 BCH 00H	EDATA2 BDH 00H	EDATA3 BEH 00H	EDATA4 BFH 00H
P3 B0H FFH	PWM0L B1H 00H	PWM0H B2H 00H	PWM1L B3H 00H	PWM1H B4H 00H	РЕЗЕРВ	РЕЗЕРВ	SPH B7H 00H
IE A8H 00H	IEIP2 A9H A0H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	PWMCON AEH 00H	CFG847 AFH 00H
P2 A0H FFH	TIMECON A1H 00H	HTHSEC ¹ A2H 00H	SEC ¹ A3H 00H	MIN ¹ A4H 00H	HOUR ¹ A5H 00H	INTVAL A6H 00H	DPCON A7H 00H
SCON 98H 00H	SBUF 99H 00H	I2CDAT 9AH 00H	I2CADD 9BH 55H	РЕЗЕРВ	T3FD 9DH 00H	T3CON 9EH 00H	РЕЗЕРВ
P1 90H FFH	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
TCON 88H 00H	TMOD 89H 00H	TLO 8AH 00H	TL1 8BH 00H	TH0 8CH 00H	TH1 8DH 00H	РЕЗЕРВ	РЕЗЕРВ
P0 80H FFH	SP 81H 07H	DPL 82H 00H	DPH 83H 00H	DPP 84H 00H	РЕЗЕРВ	РЕЗЕРВ	PCON 87H 00H



¹ Эти регистры (SFR) сохраняют свое значение после подачи сигнала «СБРОС», если TIMECON.0=1.

² По включению питания записываются калибровочные коэффициенты, величины которых записаны на заводе-изготовителе.

ПРИМЕЧАНИЕ К SFR:

SFR, АДРЕСА КОТОРЫХ ОКОНЧИВАЮТСЯ НА 0H ИЛИ 8H ЯВЛЯЮТСЯ БИТ-АДРЕСУЕМЫМИ

Рис.2 Полная карта размещения SFR

ВВЕДЕНИЕ

ADuC847 является улучшенной модификацией микроконвертера ADuC834 и функционально близок к микроконвертеру ADuC845. ADuC847 имеет улучшенную, 12.58MIPs, версию ядра МК 8052. По сравнению с ADuC845 ADuC847 содержит большее число каналов аналогового ввода, но в нем отсутствует ЦАП и Дополнительный АЦП. Изделие обладает всеми функциями ADuC834, стандартное 12-цикловое ядро которого заменено одноцикловым с производительностью 12.58MIPs.

Так как большинство характеристик обоих изделий ADuC847 и ADuC834 одинаковы, в данном документе приводятся только те из них, которые имеют определенные отличия. За полной документацией следует обращаться на сайт <http://www.analog.com/microconverter>

ОБЩЕЕ ОПИСАНИЕ

ADuC847 является законченным контроллером для интеллектуальных датчиков, включающем в себя сигма-дельта АЦП высокого разрешения, гибкий входной мультиплексор на 10/8 каналов, быстрый 8 разрядный микроконтроллер и встроенную Flash/EE память программ и данных.

В состав АЦП включены входной мультиплексор, датчик температуры и усилитель с программируемым коэффициентом передачи (PGA), который позволяет работать с сигналами низкого уровня, снимаемыми непосредственно с датчиков. АЦП с встроенным фильтром и программируемым выходным потоком данных предназначен для измерения низкочастотных сигналов в широком динамическом диапазоне напряжений таких, как сигналы с взвешивающих устройств, сигналы с датчиков деформации, с датчиков давления или температуры.

Устройство работает от кварцевого резонатора 32КГц, а высокая частота 12.58МГц вырабатывается системой ФАПЧ. Высокая частота проходит через программно-управляющий делитель, с которого снимается частота для работы микропроцессорного ядра. Микропроцессорное ядро является оптимизированным одноцикловым ядром 8052, дающим производительность до 12.58MIPS, при выполнении команд, совместимых с МК 8051.

Устройство содержит 62КБ внутренней неразрушаемой Flash/EE памяти программ, 4КБ внутренней неразрушаемой Flash/EE памяти данных и 2304Б внутренней памяти данных с произвольным доступом (RAM). Память программ можно

сконфигурировать таким образом, что большая ее часть (до 60КБ) будет отведена под неразрушаемую память данных, что обычно требуется при построении регистраторов.

«Зашитое» на этапе производства программное обеспечение позволяет производить загрузку программ в устройство через последовательный порт (UART), а также выполнять отладку прикладных программ системы через единственный внешний вход EA. Разработка изделий на основе ADuC847 поддерживается недорогой системой разработки QuickStart™ (аппаратура и программы).

НАБОР КОМАНД МК 8052

Ниже приводится набор команд и количество затрачиваемых циклов на выполнение каждой команды. Большинство команд исполняется за один или два цикла, что при отсутствии деления тактовой частоты (PLLCON=0) обеспечивает пиковую производительность ядра 12.6MIPs.

РАБОТА ТАЙМЕРОВ

В классическом МК 8052 все таймеры инкрементируются на +1 во время каждого машинного цикла. Поскольку в ADuC847 один машинный цикл равен одному периоду тактовой частоты, таймеры будут инкрементироваться с частотой равной тактовой частоте ядра.

СИГНАЛ ALE

Частота выходного сигнала ALE микроконтроллера ADuC834 составляет 1/6 тактовой частоты ядра. В случае ядра ADuC847 сигнал ALE выглядит следующим образом.

В случае одноциклового команды выход ALE находится в высоком логическом состоянии в течение первой половины машинного цикла и в низком – в течение заключительной половины. Здесь частота на выходе ALE равна тактовой частоте ядра. Для команд, содержащих два или более циклов, выход ALE находится в высоком логическом состоянии в течение первой половины машинного цикла и в низком – в течение заключительной половины.

ДОСТУП К ВНЕШНЕЙ ПАМЯТИ

ADuC847 не поддерживает доступ к внешней памяти программ. При обращении к внешней памяти данных с произвольным доступом возможно потребуются программировать регистр EWAIT, чтобы при выполнении команды MOVX были выполнены дополнительные машинные циклы. Это необходимо выполнить из-за различия во времени доступа к внутренней и внешней RAM.

СИСТЕМА КОМАНД

ТАБЛИЦА IV Одноцикловые команды МК 8051

Мнемоника	Описание	Число байтов	Число циклов
Арифметические			
ADD A, Rn	Прибавить содержимое регистра к A	1	1
ADD A, @Ri	Прибавить к содержимому A косвенно из памяти	1	2
ADD A, dir	Прибавить к содержимому A байт прямо	2	2
ADD A, #data	Прибавить к содержимому A непосредственно	1	2
ADDC A, Rn	Прибавить содержимое регистра к A с переносом	1	1
ADDC A, @Ri	Прибавить к содержимому A косвенно из памяти с переносом	1	2
ADDC A, dir	Прибавить к содержимому A байт прямо	2	2
ADDC A, #data	Прибавить к содержимому A байт непосредственно с переносом	2	2
SUBB A, Rn	Вычесть содержимое регистра из A с заемом	1	1
SUBB A, @Ri	Вычесть из A содержимое памяти косвенно с заемом	1	2
SUBB A, dir	Вычесть из A прямо с заемом	2	2
SUBB A, #data	Вычесть из A непосредственно с заемом	1	1
INC A	Инкрементировать A	1	1
INC Rn	Инкрементировать регистр	1	1
INC @Ri	Инкрементировать память косвенно	1	2
INC dir	Инкрементировать байт прямо	2	2
INC DPTR	Инкрементировать указатель данных	1	3
DEC A	Декрементировать A	1	1
DEC Rn	Декрементировать регистр	1	1
DEC @Ri	Декрементировать память косвенно	1	2
DEC dir	Декрементировать байт прямо	2	2
MUL AB	Умножить A на B	1	9
DIV AB	Разделить A на B	1	9
DA A	Выполнить десятичную коррекцию A	1	2
Логические			
ANL A,Rn	Логическое И регистра с A	1	1
ANL A,@Ri	Логическое И памяти с A косвенно	1	2
ANL A,dir	Логическое И байта с A	2	2
ANL A,#data	Логическое И непосредственно с A	2	2
ANL dir,A	Логическое И A с байтом	2	2
ANL dir,#data	Логическое И числа с байтом непосредственно	3	3
ORL A,Rn	Логическое ИЛИ регистра с A	1	1
ORL A,@Ri	Логическое ИЛИ памяти с A косвенно	1	2
ORL A,dir	Логическое ИЛИ байта с A	2	2
ORL A,#data	Логическое ИЛИ непосредственно с A	2	2
ORL dir,A	Логическое ИЛИ A с байтом	2	2
ORL dir,#data	Логическое ИЛИ числа с байтом непосредственно	3	3
XRL A,Rn	Исключающее ИЛИ регистра с A	1	1
XRL A,@Ri	Исключающее ИЛИ памяти с A косвенно	2	2
XRL A,dir	Исключающее ИЛИ байта с A	2	2
XRL A,#data	Исключающее ИЛИ непосредственно с A	2	2
XRL dir,A	Исключающее ИЛИ A с байтом	2	2
XRL dir,#data	Исключающее ИЛИ числа с байтом непосредственно	3	3
CLR A	Очистить A	1	1
CPL A	Инвертировать A	1	1
SWAP A	Переставить местами Нибблы в A	1	1
RL A	Сдвинуть влево A	1	1
RLC A	Сдвинуть влево A через C	1	1
RR A	Сдвинуть вправо A	1	1
RRC A	Сдвинуть вправо A через C	1	1
Передача данных			
MOV A,Rn	Передать данные из регистра в A	1	1
MOV A,@Ri	Передать данные из памяти в A косвенно	1	2
MOV Rn,A	Передать данные из A в регистр	1	1
MOV @Ri,A	Передать данные из A в память косвенно	1	2
MOV A,dir	Передать байт в A	2	2
MOV A,#data	Передать число в A непосредственно	2	2
MOV Rn,#data	Передать число в регистр непосредственно	2	2
MOV dir,A	Передать данные из A в ячейку	2	2
MOV Rn,dir	Передать ячейку в регистр	2	2
MOV dir,Rn	Передать регистр в ячейку	2	2

Мнемоника	Описание	Число байтов	Число циклов
MOV @Ri,#data	Передать число в память косвенно	2	2
MOV dir,@Ri	Передать данные косвенно из регистра в ячейку	2	2
MOV @Ri,dir	Передать ячейку в регистр косвенно	2	2
MOV dir,dir	Передать байт в память	3	3
MOV dir,#data	Передать байт непосредственно в память	3	3
MOV DPTR,#data	Загрузить указатель данных числом	3	3
MOVC A,@A+DPTR	Загрузить в A байт данных относительно DPTR	1	4
MOVC A,@A+PC	Загрузить в A байт данных относительно PC	1	4
MOVX A,@Ri	Передать данные из внешней памяти (A8) в A	1	4
MOVX A,DPTR	Передать данные из внешней памяти (A16) в A	1	4
MOVX @Ri,A	Передать данные из A во внешнюю память (A8)	1	4
MOVX @DPTR,A	Передать данные из A во внешнюю память (A16)	1	4
PUSH dir	Послать байт в стек	2	2
POP dir	Принять байт из стека	2	2
XCH A,Rn	Выполнить обмен данными между регистром и A	1	1
XCH A,@Ri	Выполнить обмен данными между памятью и A косвенно	1	2
XCHD A,@Ri	Выполнить обмен данными между нибблом памяти и A косвенно	1	2
XCH A,dir	Выполнить обмен данными между байтом и A	2	2
Булевские			
CLR C	Очистить C	1	1
CLR bit	Очистить bit непосредственно	2	2
SETB C	Установить C	1	1
SETB bit	Установить bit непосредственно	2	2
CPL C	Инvertировать C	1	1
CPL bit	Инvertировать bit	2	2
ANL C,bit	Логическое И bit и C	2	2
ANL C,/bit	Логическое И инверсии bit-а и C	2	2
ORL C,bit	Логическое ИЛИ bit и C	2	2
ORL C,/bit	Логическое И инверсии bit-а и C	2	2
MOV C,bit	Передать bit в C	2	2
MOV bit,C	Передать C в bit	2	2
Операции ветвления			
JUMP @A,DPTR	Косвенный переход относительно DPTR	1	3
RET	Возврат из подпрограммы	1	4
RETI	Возврат из прерывания	1	4
ACALL addr11	Абсолютный переход на подпрограмму	2	3
AJMP addr11	Абсолютный безусловный переход	2	3
SJMP rel	Короткий переход (по абсолютному адресу)	2	3
JC rel	Переход, если C=1	2	3
JNC rel	Переход, если C=0	2	3
JZ rel	Переход, если аккумулятор=0	2	3
JNZ rel	Переход, если аккумулятор#0	2	3
DJNZ Rn,rel	Декремент регистра и переход, если аккумулятор#0	2	3
LJMP	Длинный переход безусловный	3	4
LCALL addr16	Длинный переход на подпрограмму	3	4
JB bit,rel	Переход, если bit=1	3	4
JNB bit,rel	Переход, если bit=0	3	4
JBC bit,rel	Переход, если bit=1 и очистка	3	4
CJNE A,dir,rel	Сравнение с A и относительный JNE	3	4
CJNE A,#data,rel	Сравнение с A и относительный JNE	3	4
CJNE Rn,#data,rel	Сравнение с регистром и относительный JNE	3	4
CJNE @Ri,#data,rel	Сравнение с регистром косвенное и относительный JNE	3	4
DJNZ dir,rel	Декремент байт и относительный JNZ	3	4
Прочие			
NOP	Нет операции	1	1
Примечание:			
1. Один цикл занимает один период тактовой частоты.			
2. Команды MOVX занимают 4 цикла, когда интервал ожидания равен 0. Команды MOVX занимают 4+n циклов, когда интервал ожидания равен n периодам.			
3. Команды LCALL занимают 3 цикла, когда LCALL выполняется из прерывания.			

ОРГАНИЗАЦИЯ ПАМЯТИ

ADuC847 включает в себя четыре различных типа памяти:

- 62КБ внутренней Flash/EE памяти программ
- 4КБ внутренней Flash/EE памяти данных
- 256Б памяти данных общего применения с произвольным доступом (RAM)
- 2КБ внутренней XRAM

(1) Flash/EE память программ

Для выполнения кода пользователя в ADuC847 имеется 62КБ Flash/EE памяти программ.

Если EA=1, то после включения питания или подачи внешнего сброса устройство будет исполнять код (программу) во внутренней памяти программ. ADuC847 не поддерживает переход с пространства внутренней памяти программ во внешнюю. ADuC847 вообще не поддерживает работу с внешней памятью программ. «Зашитое» на этапе производства программное обеспечение позволяет загружать исполняемый код во внутреннюю память (62КБ) через последовательный порт (UART) даже тогда, когда устройство находится в составе схемы. При этом не требуется никакой дополнительной аппаратуры.

56КБ памяти программ можно репрограммировать в рабочих условиях, следовательно, ПЗУ программ можно модифицировать в полевых условиях, используя протокол обмена пользователя. Эту же часть памяти можно использовать как память данных. Последнее будет обсуждаться более подробно в разделе, посвященном Flash/EE памяти.

(2) Flash/EE память данных

Пользователю предоставляется 4КБ Flash/EE памяти данных, с косвенным доступом через группу регистров, расположенных в области Регистров Специальных Функций (SFR). Это будет обсуждаться более подробно в разделе, посвященном Flash/EE памяти.

(3) Память общего назначения с произвольным доступом (RAM)

RAM общего назначения состоит из двух равных частей по 128 байт каждая: нижней части и верхней. К 128 байтам нижней части памяти возможен прямой и косвенный доступ в то время, как к 128 байтам верхней возможен только косвенный (поскольку эта память занимает ту же область, что и SFR, к которым обращение может быть только прямым).

Распределение нижних 128 байт памяти показано на рис.3. 32 младших байта сгруппировано в четыре банка по восемь регистров с R0 по R7. Следующие 16 байт (128 бит) с расположением в адресах с 20Hex по 2FHex (за банками регистров) образуют блок памяти с прямой адресацией бит (адреса бит с 00H по 7FH). Стек можно располагать в любом месте внутренней памяти, глубина стека может достигать 2048 байт.

Сигнал сброса устанавливает стек по адресу 07 hex. При любом вызове или записи в стек сначала производится увеличение содержимого указателя стека (SP), а, затем, загрузка в стек. Следовательно, загрузка стека начинается с адреса 08hex, который

одновременно является и первым регистром (R0) 1-го банка регистров. Таким образом, если планируется использовать более одного банка регистров, указатель стека следует размещать в области RAM, не используемой для хранения данных.

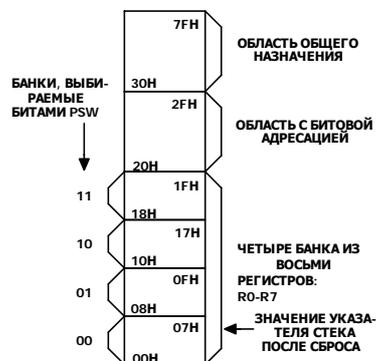


Рис.3 Нижние 128 байт внутренней памяти данных

(4) Внутренняя XRAM

ADuC847 содержит 2КБ внутренней расширенной памяти данных. Хотя этот тип памяти и расположен на кристалле, доступ к нему осуществляется с помощью команды MOVX. 2КБ внутренней памяти XRAM отображаются в нижней части пространства внешней памяти при установленном бите CFG847.0 (см. Таблицу III), иначе, доступ к внешней памяти будет осуществляться так же как в стандартном МК 8051.

Даже при установленном бите CFG846.0 доступ к внутренней XRAM будет осуществляться только тогда, когда 24-битный указатель DPTR будет больше чем 0007FFH.

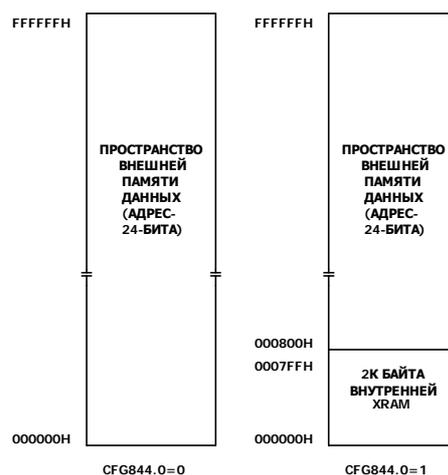


Рис.4 Структура внутренней и внешней XRAM

При доступе к внутренней XRAM порты P0 и P2, а также выходы стробов RD и WR не изменяют своего состояния при выполнении инструкции MOVX, как в случае стандартного МК 8051. Это позволяет использовать данные порты и контакты для стандартного V/B.

Верхние 1792 байта внутренней XRAM можно сконфигурировать так, что они будут

использоваться под расширенный 11-битный указатель стека.

По умолчанию стек будет работать так же как в стандартном 8052, переходя из состояния FFh в 00h в области RAM общего назначения. Однако для ADuC847 стало возможным (путем установки бита CFG846.7) использовать расширенный 11-битный указатель стека. В этом случае, стек осуществит переход из ячейки RAM FFh в ячейку 0100h XRAM.

11-бит указателя стека получают из SP и SPH SFR. SP SFR располагается по адресу 81h, как в стандартном МК 8052. SPH SFR располагается по адресу B7h. Три младших бита этого SFR содержат 3 дополнительных бита к 8-битному указателю стека и образуют вместе 11-битный указатель стека.

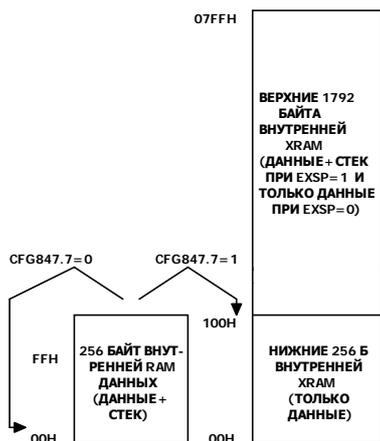


Рис.5 Операция с расширенным указателем стека

Внешняя память данных (Внешняя XRAM)

Как и в стандартном ядре 8051 ADuC847 может обращаться к внешней памяти данных с помощью команды MOVX. Эта команда автоматически вырабатывает все стробы управления, необходимые для обращения к внешней памяти данных.

При этом ADuC847 может иметь доступ к 16МБ внешней памяти данных. Последнее является существенным улучшением эксплуатационных характеристик по сравнению со стандартным МК 8051, обеспечивающим доступ только к 64КБ внешней памяти данных.

Внешняя память данных рассматривается более подробно в разделе, посвященном анализу аппаратной части ADuC847.

РЕГИСТРЫ СПЕЦИАЛЬНЫХ ФУНКЦИЙ (SFR)

Область регистров SFR располагается в старших 128 байтах пространства внутренней памяти данных, она доступна только с помощью прямой адресации. Эта область обеспечивает связь между центральным процессором (ЦП), (CPU) и всей внутренней периферией. Блок схема, показывающая программную модель ADuC847 с использованием области SFR, показана на рис.6.

Все регистры, исключая счетчик команд (PC) и четыре банка регистров общего назначения, располагаются в области регистров специальных функций (SFR). Регистры SFR выполняют функции управления, конфигурирования и передачи данных, обеспечивая тем самым интерфейс между ЦП и всей

внутренней периферией кристалла.

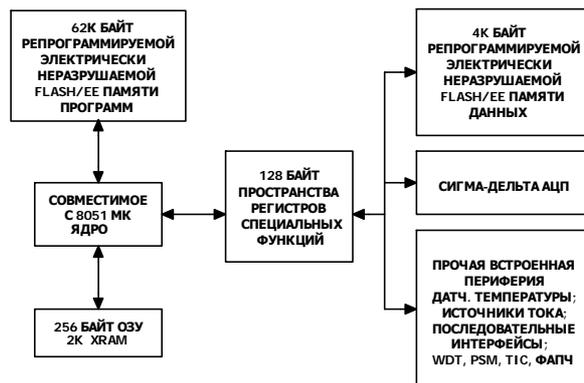


Рис.6 Программная модель

Аккумулятор SFR (ACC)

ACC является регистром аккумулятора, он используется для выполнения математических операций, включая сложение, вычитание, целочисленное умножение и деление, а также булевскую обработку битов. Мнемоника команд обращения к аккумулятору выполняется через символ «А».

(B) SFR

Регистр (B) используется совместно с аккумулятором для операций умножения и деления. Для инструкций другого типа его можно использовать как оперативный регистр общего назначения.

Указатель Данных (DPTR)

Регистр DPTR является указателем данных и составлен из трех 8-битовых регистров, называемых DPP (байт номера страницы), DPH (старший байт) и DPL (младший байт). Они используются для обеспечения доступа программного кода к внешним данным. С указателем можно работать как с 16-битным регистром (DPTR=DPH, DPL) либо как с тремя независимыми 8-битными регистрами (DPP, DPH, DPL).

ADuC847 поддерживает работу с двумя указателями данных. Дополнительные сведения об этом приводятся в разделе, описывающем Указатель Данных.

Указатель Стека (SP и SPH)

Регистр указателя стека (SP) используется для запоминания адреса внутреннего RAM (ОЗУ), который называется «вершиной стека». Регистр SP инкрементируется до того, как данные записываются по командам PUSH и CALL. В то время как стек можно располагать в любом месте внутреннего ОЗУ, регистр SP по сбросу инициализируется в адрес 07. Это обуславливает то, что стек начинается с адреса 08H.

Как упоминалось ранее, указатель стека ADuC847 содержит 11 разрядов. 3 старших бита, дополняющих указатель до 11 разрядов, являются 3-мя младшими разрядами байта SPH, расположенного по адресу B7h. Для того чтобы разрешить доступ к SPH SFR необходимо установить

бит EXSP(CFG846.7), иначе доступ к SPH SFR по чтению и записи запрещен.

Слово Состояния (статуса) Программы (PSW)

Регистр PSW SFR содержит биты, отражающие текущее состояние процессора, как показано ниже в Таблице I.

Адрес SFR	D0H
Значение по включению питания	00H
Битовая адресация	Да

Таблица I. Назначение бит в PSW SFR

Бит	Наименование	Описание
7	CY	Флаг переноса
6	AC	Доп. флаг переноса
5	F0	Флаг общего назначения
4	RS1	Биты выбора банка регистров
3	RS0	RS1 RS0 Выбранный банк
		0 0 0
		0 1 1
		1 0 2
		1 1 3
2	OV	Флаг переполнения
1	F1	Флаг общего назначения
0	P	Бит паритета

Регистр Управления Питанием (PCON)

PCON SFR содержит биты управления вариантами реализации питания с понижением уровня потребления, а так же флаги состояния (статусные) общего назначения, как показано в Таблице II.

Адрес SFR	87H
Значение по включению питания	00H
Битовая адресация	Нет

Таблица II. Назначение бит в PCON SFR

Бит	Наименование	Описание
7	SMOD	Удвоение скорости обмена UART
6	SERIPD	Разрешение прерывания от SPI в «Ждущем Режиме»
5	INTOPD	Разрешение прерывания INT0 в «Ждущем Режиме» (Power Down)
4	ALEOFF	Запрет выхода ALE
3	GF1	Бит флага общего назначения
2	GF0	Бит флага общего назначения
1	PD	Разрешение «Ждущего Режима»
0	IDL	Разрешение холостого режима

Регистр конфигурации (CFG847)

Регистр CFG847 SFR содержит все необходимые биты для конфигурирования внутренней памяти XRAM и расширенного указателя стека. По умолчанию Регистр конфигурирует модель работы МК 8051 (расширенный стек и XRAM запрещены).

Адрес SFR	AFH
Значение по включению питания	00H
Битовая адресация	Нет

Таблица III. Назначение бит в CFG847

Бит	Наименование	Описание
7	EXSP	Разрешение расширенного SP. Если этот бит установлен, то указатель осуществляет переход: с SPH/SP=00FFh на 0100h. Если этот бит сброшен, то SPH SFR окажется запрещенным и указатель стека будет осуществлять следующий переход: с SP=FFh на SP=00h.
6	-	-
5	-	-
4	-	-
3	-	-
2	-	-
1	-	-
0	XRAMEN	Бит разрешения внутренней XRAM. Если этот бит установлен, то внутренняя XRAM будет отображаться в нижние (первые) 2КБ внешнего адресного пространства. Если бит сброшен, то XRAM будет недоступна и в нижние 2КБ будет отображаться внешняя память данных (см. рис.4).

СХЕМА АЦП

В состав микроконвертера ADuC847 включен 10-канальный (8-канальный в корпусе MQFP) 24-х разрядный (8-канальный АЦП. Кроме того, в составе микроконвертера имеется встроенный усилитель с программно управляемым коэффициентом передачи и цифровой фильтр. Все перечисленное позволяет использовать микроконвертер для измерения низкочастотных сигналов в широком динамическом диапазоне напряжений таких, как сигналы с взвешивающих устройств, сигналы с датчиков деформации, с датчиков давления или температуры.

Аналоговые входы ADuC847 можно конфигурировать как четыре/пять полных дифференциальных канала или восемь/десять псевдо-дифференциальных каналов с одним общим входом AINCOM. На входе АЦП можно программно разрешить буферизацию, а так же выбрать один из восьми масштабирующих коэффициентов передачи в диапазоне входных сигналов от $\pm 20\text{мВ}$ до $\pm 2.56\text{В}$. Буферизация по входу означает, что устройство может работать с источниками сигналов, имеющих достаточно высокий выходной импеданс. Подобные входные каналы предназначены для непосредственного подключения к датчикам без промежуточного нормирования их сигналов. При отключении внутренней буферизации (путем сброса и установки соответствующих разрядов в регистре ADCON1) может потребоваться внешняя буферизация. Если внутренний входной буфер включен, то из-за ограничения буфера по диапазону входного синфазного напряжения возможно придется сместить отрицательный вход дифференциального каскада на 100мВ .

Для осуществления работы без пропуска кодов на 24-х разрядах (частота преобразования 20Гц , стабилизирующий прерыватель включен) АЦП построен в виде сигма-дельта преобразователя. Сигма-дельта модулятор такого АЦП преобразует выборку входного напряжения в последовательность выходных импульсов, в скважности которой заключена цифровая информация о входном аналоговом напряжении. Для получения требуемой программируемой частоты преобразования на выходе и выполнения низкочастотной фильтрации на выход модулятора устанавливается программируемый НЧ фильтр с переходной характеристикой вида (Sinc^3) . Аналоговая часть АЦП имеет два режима работы: с разрешенным и запрещенным стабилизирующим прерывателем (CHOPPER). Режимом работы прерывателя управляет разряд CHOP в регистре ADCMODE.

Обзор Аналоговой Части Схемы (Прерыватель разрешен, CHOP=0)

Если разряд CHOP=0, то работа прерывателя разрешена. Это происходит по умолчанию и обеспечивает оптимальную (с точки зрения обеспечения минимума дрейфа) работу схемы. При разрешенном прерывателе частота преобразования на выходе будет лежать в диапазоне от 5.35Гц до 105Гц . На рис.7 показана блок-схема аналоговой части АЦП с разрешенным прерывателем.

Частота выборок модулятора много выше чем полоса входного сигнала. Интегратор схемы модулятора таким образом формирует шум квантования (этот шум обусловлен процессом аналого-цифрового преобразования), что он оказывается сдвинутым в область половины частоты модуляции. Выходной сигнал сигма-дельта модулятора подается прямо на вход цифрового фильтра. Цифровой фильтр ограничивает полосу сигнала до граничной частоты существенно меньшей чем половина частоты модуляции. Таким образом однобитный выходной сигнал компаратора преобразуется в ограниченный по частоте выходной сигнал АЦП с малыми шумами.

Цифровой фильтр ADuC847 является низкочастотным фильтром с передаточной характеристикой вида Sinc^3 или $(\sin x/x)^3$. Его основной функцией является срез шумов квантования, созданных работой модулятора. Частота среза фильтра и выходная частота преобразования задаются с помощью управляющего слова (SF), загружаемого в SF регистр фильтра. Схема с прерывателем дает исключительно малую величину смещения по постоянному току и его дрейфа, что крайне важно в приложениях, где решающим фактором является малый дрейф, низкий шум и низкий уровень электромагнитных помех.

В режиме с включенным прерывателем АЦП непрерывно изменяет полярность подключения дифференциальных входов. При этом на выходе цифрового фильтра (Sinc^3) существует сниженный по частоте поток цифровых данных, в котором присутствуют члены как с положительным входным смещением, так и с отрицательным. Оконечный каскад выполняет суммирование этих компонентов и их усреднение с накопленными предыдущими данными. Полученный таким образом код записывается в регистр данных АЦП. Программируемый коэффициент снижения выходного потока данных с цифрового фильтра ограничен по величине длиной слова 8-разрядов управляющего регистра SF. Действительная величина коэффициента снижения в 8 раз выше числа, записанного в SF. С учетом этого частота преобразования АЦП будет выглядеть следующим образом:

$$f_{ADC} = \frac{1}{3} \times \frac{1}{8 \times SF} \times f_{MOD},$$

где

- f_{ADC} - частота преобразования АЦП;
- SF - десятичное значение кода, записанного в регистр SF;
- f_{MOD} - частота выборок модулятора, равная 32.768КГц .

частота работы прерывателя в 2 раза ниже:

$$f_{CHOP} = \frac{1}{2 \times f_{ADC}}$$

Как показано на блок-схеме, выход цифрового фильтра содержит компоненты положительного и отрицательного входного смещения: $+V_{os}$ и $-V_{os}$, где V_{os} – смещение соответствующего канала. Это смещение компенсируется при выполнении операции скользящего усреднения по 2 компонентам. Такое усреднение приводит к тому, что время установления АЦП удвоится по сравнению с режимом, когда прерыватель выключен. Таким образом, любое асинхронное ступенчатое изменение напряжения на входе АЦП будет обработано его выходом только на третьем цикле преобразования.

$$t_{SETTLE} = \frac{2}{f_{ADC}} = 2 \times t_{ADC}$$

Допустимый диапазон изменения данных SF составляет от 13 до 255, по умолчанию значение равно 69(45H). В таблицах IV и V приведены соответствующие значениям скорости преобразования значения среднеквадратичных шумов и шумов от-пика-до-пика (Pk-Pk). Отметим, что каждое увеличение SF на единицу дает увеличение времени преобразования на 0.732мс.

С включенным прерывателем шумовые характеристики АЦП такие же как для ADuC834.

ТАБЛИЦА IV: Типовой среднеквадратичный шум на выходе (мВ) в зависимости от диапазона входного напряжения и частоты преобразования для ADuC847 при включенном прерывателе

Слово SF	Частота Преобразов. (Гц)	Диапазон входных сигналов							
		$\pm 20\text{мВ}$	$\pm 40\text{мВ}$	$\pm 80\text{мВ}$	$\pm 160\text{мВ}$	$\pm 320\text{мВ}$	$\pm 640\text{мВ}$	$\pm 1.28\text{В}$	$\pm 2.56\text{В}$
13	105.03	1.50	1.50	1.60	1.75	3.50	4.50	6.70	11.75
69	19.79	0.60	0.65	0.65	0.65	0.65	0.95	1.40	2.30
255	5.35	0.35	0.35	0.37	0.37	0.37	0.51	0.82	1.25

ТАБЛИЦА V: Типовое разрешение (от-пика-до-пика) на выходе (разрядов) в зависимости от диапазона входного напряжения и частоты преобразования для ADuC847 при включенном прерывателе

Слово SF	Частота Преобразов. (Гц)	Диапазон входных сигналов							
		$\pm 20\text{мВ}$	$\pm 40\text{мВ}$	$\pm 80\text{мВ}$	$\pm 160\text{мВ}$	$\pm 320\text{мВ}$	$\pm 640\text{мВ}$	$\pm 1.28\text{В}$	$\pm 2.56\text{В}$
13	105.03	12	13	14	15	15	15.5	16	16
69	19.79	13.5	14	15	16	17	17.5	18	18.5
255	5.35	14	15	16	17	18	18.5	19	19.5

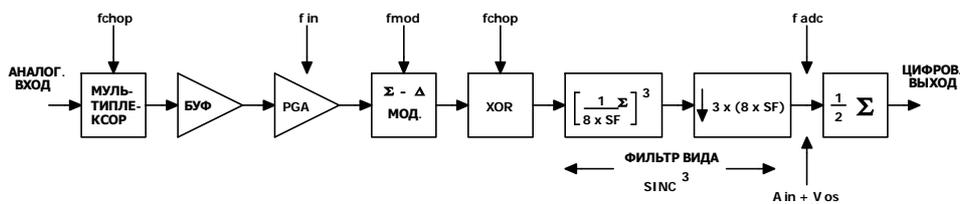


Рис. 7. блок-схема аналоговой части АЦП с разрешенным прерывателем

Обзор Аналоговой Части Схемы (Прерыватель запрещен, CNOP=1)

Если разряд CNOP=1, то работа прерывателя запрещена. При запрещенном прерывателе частота преобразования на выходе будет лежать в диапазоне от 16.06Гц до 1.365КГц. Допустимый диапазон изменения данных SF составляет от 3 до 255. При запрещенной смене полярности входных каналов частота преобразования увеличится по сравнению со случаем разрешенной смены. На рис.8 показана блок-схема аналоговой части АЦП с запрещенным прерывателем. Здесь аналоговая часть включает в себя: входной мультиплексор, буфер, усилитель с программно переключаемым коэффициентом передачи (PGA), сигма-дельта модулятор и цифровой фильтр. Однобитовый поток

данных подается на цифровой фильтр с передаточной характеристикой вида Sinc^3 . Программируемый коэффициент снижения выходного потока данных с цифрового фильтра ограничен по величине длиной слова 8-разрядов управляющего регистра С учетом этого частота преобразования АЦП будет выглядеть следующим образом:

$$f_{ADC} = \frac{1}{8 \times SF} \times f_{MOD}$$

где

f_{ADC} - частота преобразования АЦП;

SF - десятичное значение кода, записанного в регистр SF;

f_{MOD} - частота выборок модулятора, равная
32.768КГц.

Время установления системы при подаче входной ступеньки напряжения будет определяться цифровым фильтром. Синхронная подача входной ступеньки потребует 3-х периодов частоты преобразования для завершения переходных процессов. Смену входного регистрирующего канала можно рассматривать как синхронную подачу входной ступеньки. При этом интервал времени, по прошествии которого данные с АЦП приобретут установившееся будет равен:

$$t_{SETTLE} = \frac{3}{f_{ADC}} = 3 \times t_{ADC}$$

При асинхронной подаче входной ступеньки для завершения переходных процессов потребуется 4 периода частоты преобразования выходных данных АЦП.

Допустимый диапазон изменения данных SF составляет от 3 до 255, по умолчанию значение равно 69(45Н). В таблицах VI и VII приведены соответствующие значениям скорости преобразования значения среднеквадратичных шумов и шумов от-пика-до-пика (Pk-Pk). Отметим, что каждое увеличение SF на единицу дает увеличение времени преобразования на 0.244мс.

ХАРАКТЕРИСТИКА ШУМА АЦП В РЕЖИМЕ РАБОТЫ С ЗАПРЕЩЕННЫМ ПРЕРЫВАТЕЛЕМ

В таблицах VII и VIII приводятся величины

среднеквадратичного шума и разрешение от-пика-до-пика на выходе для нескольких типовых значений частоты преобразования. Приведенные числа являются типовыми и получены для различных значений входного напряжения относительно 0В. Величина выходной частоты преобразования задается с помощью разрядов SF7-SF0 регистра фильтра SF. Важно отметить, что величина разрешения от-пика-до-пика представляет собой то количество разрядов, при котором нет «мерцания» кодов в области, ограниченной шестью сигма. Два источника создают шум на выходе АЦП. Первым источником является электрический шум полупроводниковых компонентов (шум компонентов), из которых собран модулятор. Вторым – является шум квантования, возникающий при преобразовании входного аналогового сигнала в цифровой код. Шум компонентов мал по величине и не зависит от частоты. Шум квантования на начальном участке весьма мал, но существенно возрастает с ростом частоты квантования и становится доминирующим источником шума. Величины в таблицах даются для биполярного режима работы входов. При униполярной работе величина среднеквадратичного шума будет такой же, как и в случае биполярной, однако, поскольку диапазон входного напряжения уменьшается в два раза, в разрешении от-пика-до-пика будет утрачен 1 разряд. В общем случае при работе с запрещенным прерывателем происходит ухудшение разрешения, в среднем, на 1МЗР по сравнению с работой с разрешенным прерывателем.

ТАБЛИЦА VI: Типовой среднеквадратичный шум на выходе (мВ) в зависимости от диапазона входного напряжения и частоты преобразования для ADuC847 при выключенном прерывателе

Слово SF	Частота Преобразов. (Гц)	Диапазон входных сигналов							
		±20мВ	±40мВ	±80мВ	±160мВ	±320мВ	±640мВ	±1.28В	±2.56В
3	1365.0	2.47	2.49	2.37	3.87	7.18	12.61	16.65	32.45
69	59.36	0.961	0.971	0.949	0.922	0.923	1.32	2.03	3.73
255	16.06	0.475	0.468	0.434	0.485	0.485	0.688	1.18	1.78

ТАБЛИЦА VII: Типовое разрешение (от-пика-до-пика) на выходе (разрядов) в зависимости от диапазона входного напряжения и частоты преобразования для ADuC847 при выключенном прерывателе

Слово SF	Частота Преобразов. (Гц)	Диапазон входных сигналов							
		±20мВ	±40мВ	±80мВ	±160мВ	±320мВ	±640мВ	±1.28В	±2.56В
13	1365.0	11	12	14	14	14	14	15	15
69	59.36	13	14	15	16	17	17	18	18
255	16.06	14	15	16	17	18	18	19	19

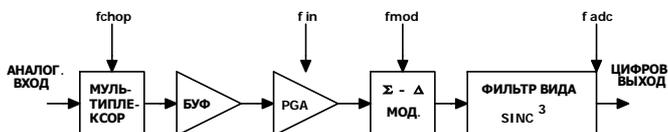


Рис.8. блок-схема аналоговой части АЦП с запрещенным прерывателем

Входы ИОН

В ADuC847 входы REFIN(+/-) и REFIN2(+/-) являются дифференциальными. Диапазон допустимых синфазных сигналов на этих входах лежит в пределах от AGND до AV_{DD}. Номинальное рабочее напряжение для внешнего ИОН на входах REFIN(+) и REFIN(-) составляет 2.5В, причем биты для его разрешения должны быть установлены в регистре ADC0CON2.

Устройство так же может работать, когда биты XREF0/1 в регистре ADC0CON2 сброшены в «0», что разрешает внутренний ИОН по запрещенной зоне. В таком режиме работы АЦП «видит» свой ИОН равным 1.25В, при этом все диапазоны входных напряжений уменьшаются ровно в два раза. В результате использования внутреннего ИОН, как следствие, произойдет заметное ухудшение разрешения от-пика-до-пика. По этой причине для получения наилучшего разрешения настоятельно рекомендуется работа с внешним ИОН.

В приложениях, в которых возбуждение (ток или напряжение) преобразователя (датчика), находящегося на аналоговом входе, также используется в качестве опорного напряжения устройства, влияние низкочастотного шума источника возбуждения будет скомпенсировано, поскольку в данном приложении измерение производится логметрическим (относительным) способом. Если ADuC847 применяется не в логметрическом приложении, то следует использовать внешний ИОН с низкими шумами. Рекомендуемыми элементами в качестве ИОН будут следующие: ADR421, REF43 и REF192.

Следует отметить, что опорные входы устройства являются высокоимпедансной динамической нагрузкой. Поскольку входное сопротивление каждого опорного входа носит динамический характер, подключение на таких входах RC цепочки может привести к ошибке на постоянном токе, в зависимости от выходного сопротивления источника, подключенного к ним. ИОН. Рекомендованные выше (ADR421), имеют низкий выходной импеданс и, тем не мене, рекомендуется подключать блокирующие конденсаторы на входы REFIN(+/-) и REFIN2(+/-). Получение входного опорного напряжения как падения на внешнем резисторе означает, что опорный вход «увидит» существенный импеданс внешнего источника. Однако для цепи такого типа устанавливать внешний блокирующий конденсатор между выводами REFIN(+/-) и REFIN2(+/-) не рекомендуется.

Токи Контроля Целостности Внешнего Датчика

АЦП ADuC847 содержит два генератора постоянного тока по 100нА, один из них подает ток от AV_{DD} на AIN(+), а в другой отбирает ток из AIN(-) в AGND. Эти генераторы можно использовать только при дифференциальном включении входов АЦП и только для каналов AIN4-AIN5 и/или AIN6-AIN7. Управление этими генераторами осуществляется разрядом (BO) в ICON SFR. Контроль с помощью этих генераторов возможен только при полной буферизации входов АЦП (биты BUF0/BUF1 ADC0CON1 SFR). При включении токов контроля они протекают по цепи внешнего датчика и можно выполнить измерение напряжения на данном канале. Если измеренное напряжение будет полной

шкалой, то этот результат укажет, что цепь датчика разорвана. Если измеренное напряжение будет 0В, то – цепь датчика короткозамкнута. Для проведения рабочих измерений токи контроля выключаются путем записи «0» в бит BO ICON SFR. Источники тока контроля работают корректно, если на входах присутствуют напряжения, величины которых лежат в допустимых пределах.

Схема Определения Наличия ИОН

С помощью разрядов XREF0/1 регистра управления ADCON2 можно установить, какой ИОН будет использоваться в системе внутренний или внешний. Схема определения наличия внешнего ИОН предназначена для определения того, что на выводах REFIN(+/-) имеется напряжение с величиной, лежащей в заданных пределах. Такая необходимость возникла в связи с работой микроконвертера в составе устройств взвешивания с использованием дистанционных тензометрических датчиков силы, подключаемых к системе измерения с помощью кабельного соединения. В таких системах всегда полезно знать подключен соединительный кабель датчику или нет.

Если напряжение между внешними выводами REFIN(+/-) ниже заданного предела, то схема устанавливает в «1» бит NOXREF в регистре состояния АЦП ADCSTAT. Если при этом ADuC847 выполняет преобразование, то результат преобразования возвращается в виде слова, состоящего из одних «1». А, если выполняется калибровка, то регистры калибровки не будут модифицироваться.

Примечание: состояние входов REFIN2(+/-) на работе схемы не отражается.

Регистр цифрового фильтра (SF)

Число, занесенное в данный регистр, будучи сдвинутым влево на 3 разряда (умноженное на 8), является коэффициентом снижения выходной частоты преобразования АЦП цифровым фильтром $Sinc^3$. Допустимый диапазон чисел, записываемых в регистр SF зависит от того, включен или выключен стабилизирующий прерыватель. Если прерыватель выключен, то диапазон разрешенных значений лежит в области чисел от 3 до 255, что соответствует диапазону частоты преобразования от 16.06Гц до 1.365КГц. Если прерыватель включен, то диапазон разрешенных значений лежит в области чисел от 13 до 255, что соответствует диапазону частоты преобразования от 5.4Гц до 105Гц. (См. выше равенства в «Обзоре аналоговой части схемы»).

В используемом цифровом фильтре вида $Sinc^3$ существует дополнительная настройка на подавление помехи с частотой 60Гц. Результирующая функция передачи позволяет одновременно подавлять помехи с частотами 50Гц и 60Гц.

Разрешение дополнительной настройки фильтра на 60Гц осуществляется с помощью разряда REJ60 в регистре ADCMODE (ADCMODE.6). Существенное ослабление возможно при значениях $SF \geq 68$. Дополнительная настройка работает корректно

только в том случае, когда основная частота синхронизации АЦП равна 32.768КГц.

Во время калибровки используется текущее (установленное пользователем) значение SF.

Сигма-Дельта Модулятор

Сигма-дельта АЦП обычно состоит из двух основных блоков: аналогового модулятора и цифрового фильтра. В случае АЦП ADuC847 аналоговый модулятор состоит из усилителя сигнала ошибки, интегратора, компаратора и ЦАП обратной связи, как показано на рис.9.

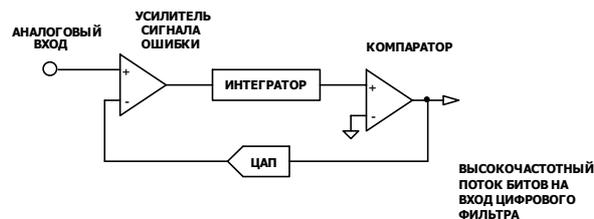


Рис.9 Упрощенная блок-схема сигма-дельта модулятора

При работе выборка аналогового сигнала вместе с выходным сигналом ЦАП-а обратной связи подаются на усилитель сигнала ошибки. Разница этих двух сигналов интегрируется и подается на компаратор. Выход компаратора подается на ЦАП обратной связи, таким образом, система работает как система с петлей обратной связи, которая стремится свести к нулю разностный сигнал. Цифровые данные, которые представляют аналоговый сигнал, содержатся в скважности импульсного цуга на выходе компаратора. Эти данные в виде скважности можно преобразовать в слово данных, используя последующий каскад цифрового фильтра. Частота выборки петли модулятора во много раз выше чем полоса входного сигнала. Интегратор модулятора формирует шум квантования (который является следствием аналого-цифрового преобразования), спектр которого «выталкивается» в сторону половинной частоты модуляции.

Цифровой Фильтр

Выход сигма-дельта модулятора подается непосредственно на цифровой фильтр. Цифровой фильтр ограничивает полосу сигнала до величины, существенно меньшей половины частоты модуляции. Таким образом 1-битный выходной сигнал компаратора трансформируется в выход АЦП, с ограниченной полосой и низкими шумами.

Фильтр ADuC847 представляет собой низкочастотный фильтр с функцией передачи вида $SINC^3$ или $(\sin x/x)^3$, основной задачей которого является подавление шумов квантования, порождаемых модулятором. Частота среза и частота преобразования на выходе программируются с помощью SF (Sinc Filter) SFR, как показано в таблицах V-VI.

На рисунках 10-13 показан частотный отклик канала АЦП при выходной частоте преобразования 16.6Гц и

разрешенном прерывателе и при выходной частоте 50Гц и запрещенном прерывателе.

На приведенных графиках показаны результаты дополнительной настройки фильтра на подавление помехи с частотой 60Гц.

Устанавливая (1) или сбрасывая (0) разряд REJ60 в регистре ADCMODE (ADCMODE.6) можно разрешать или запрещать дополнительную настройку фильтра на подавление помехи на частоте 60Гц.. Дополнительная настройка может быть разрешена только тогда, когда частота преобразования АЦП ниже 60Гц (т.е. когда $SF \geq 69_{10}$).

Стабилизация Прерыванием

АЦП ADuC847 использует схему стабилизации прерыванием, реализуемую посредством непрерывного реверсирования (смены полярности) входов. При этом на выходе цифрового фильтра (Sinc³) существует сниженный по частоте поток цифровых данных, в котором присутствуют члены как с положительным входным смещением, так и с отрицательным.

Оконечный каскад выполняет суммирование этих компонентов и их усреднение с накопленными предыдущими данными. Полученный таким образом код записывается в регистр данных АЦП. Если частота преобразования АЦП согласуется с данными табл.XV, то время установления системы будет стремиться к величине $2 \times T_{adc}$.

Схема с прерывателем, включенная в состав ADuC847 дает исключительно малую величину смещения по постоянному току и его дрейфа, что крайне важно в приложениях, где решающим фактором является малый дрейф, низкий шум и низкий уровень электромагнитных помех.

Работу схемы стабилизации прерыванием можно запретить с помощью разряда CHOP в регистре ADCMODE (ADCMODE.3). Установка этого разряда в 1 (высокий лог. уровень) запрещает работу схемы прерывания.

Калибровка

ADuC847 обеспечивает четыре режима калибровки, которые устанавливаются с помощью разрядов режима в ADCMODE SFR, как показано в таблице X. Фактически каждый экземпляр ADuC847 полностью калибруется при выпуске изделия. Результирующие калибровочные коэффициенты смещения и усиления АЦП размещаются в специальной внутренней технологической Flash/EE памяти. По включению питания или после выполнения внешнего сброса эти заводские коэффициенты автоматически загружаются в регистры калибровки ADuC847 в области SFR. АЦП имеет специально предназначенные для этого калибровочные SFR, описанные в разделе SFR ИНТЕРФЕЙС К АЦП. Однако величины заводских калибровочных коэффициентов в калибровочных SFR будут подавлены, если будет инициализирован любой из четырех режимов калибровки, а выбранный АЦП будет разрешен с помощью бит разрешения АЦП в регистре ADCMODE.

Хотя ниже и описывается внутренняя калибровка смещения, следует признать тот факт, что, если АЦП стабилизируются прерыванием, то процедура такой калибровки вовсе не нужна. Так же, поскольку заводские калибровочные коэффициенты усиления для условий 5В/25°C автоматически загружаются по подаче питания, внутренняя калибровка верхнего предела потребуется только в том случае, если устройство работает от другого питания, скажем, от 3В или, если рабочая температура значительно отличается от 25°C.

ADuC847 обеспечивает возможность проведения «внутренней» или «системной» калибровки. Для проведения полной калибровки выбранного АЦП логика калибровки должна записать выход модулятора для двух различных условий на входе. Таковыми являются две точки: «ноль» и «верхний предел». Значения этих точек получают путем преобразования в процессе калибровки двух напряжений на входе модулятора. Результат калибровочного преобразования «нуля» записывается в Регистры Калибровки Смещения, соответствующего АЦП. Результат калибровочного преобразования напряжения «верхнего предела» записывается в Регистры Калибровки Усиления, соответствующего АЦП. При наличии этих результатов логика калибровки может рассчитать смещение и коэффициент наклона функции передачи конвертера с входа на выход.

Во время «внутренней» калибровки нуля или верхнего предела соответствующие напряжения «нуля» или «верхнего предела» автоматически подаются на вход внутри устройства. В то же время, при «системной калибровке» предполагается, что напряжения системного нуля и системного верхнего предела будут подаваться на внешние выводы АЦП до того, как режим калибровки будет инициализирован. При таком способе калибровки (системной) учитываются и минимизируются внешние ошибки АЦП. Следует так же отметить, что калибровка будет выполняться с частотой преобразования, устанавливаемой пользователем в регистре SF. Поэтому для увеличения точности калибровки рекомендуется все режимы калибровки выполнять при минимальной частоте преобразования на выходе.

В ADuC847 полученные коэффициенты нормализуются внутренним образом до того, как они будут использоваться для масштабирования слов данных с выхода цифрового фильтра. Калибровочный коэффициент смещения вычитается из результата до умножения этого результата на коэффициент усиления.

С точки зрения функционирования, калибровку следует рассматривать как еще одно преобразование. Калибровку нуля (если таковая требуется) следует всегда проводить до калибровки верхнего предела. Для определения окончания калибровки системное программное обеспечение должно следить за состоянием разряда АЦП RDY в ADCSTAT SFR, путем его последовательного программного опроса или по прерыванию.

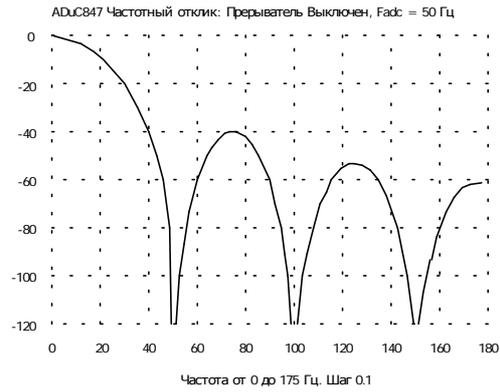


Рис. 10

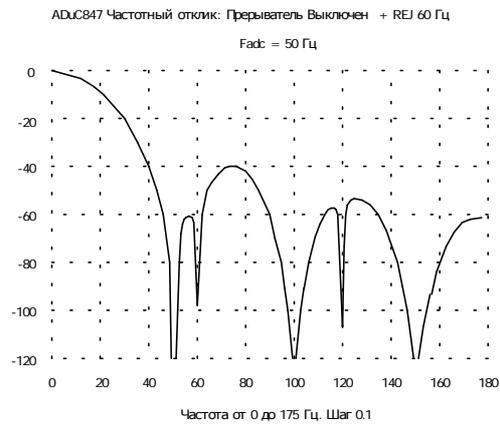


Рис. 11

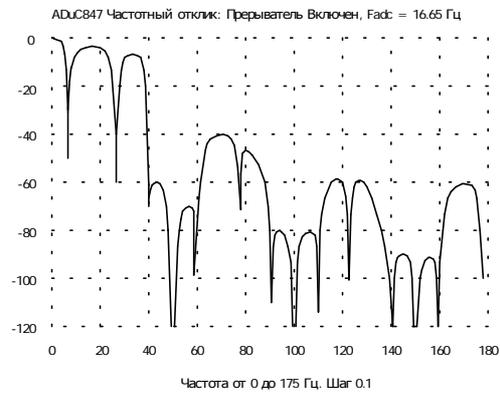


Рис. 12

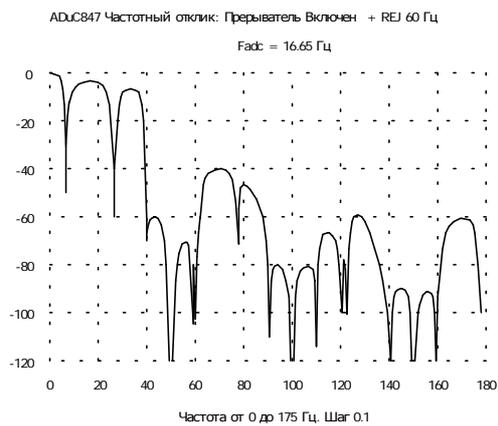


Рис. 13

На приведенных выше графиках показано влияние на передаточную характеристику включения/выключения прерывателя с помощью разряда CHOP и разрешения/запрета дополнительной фильтрации с помощью разряда REJ60 Гц. Графики сняты на частотах преобразования 16 Гц и 50 Гц.

- | | | | | |
|--------|----------------|-------------------|--|----------------|
| рис.10 | ...Fadc=50Гц | CHOP=OFF, REJ60=0 | : 50Гц подавление высокое; | 60Гц – низкое; |
| рис.11 | ...Fadc=50Гц | CHOP=OFF, REJ60=1 | : 50Гц, 60Гц подавление высокое (>60дБ на 60±1Гц); | |
| рис.12 | ...Fadc=16.6Гц | CHOP=ON, REJ60=0 | : 50Гц подавление высокое; | 60Гц – низкое; |
| рис.13 | ...Fadc=16.6Гц | CHOP=ON, REJ60=1 | : 50Гц, 60Гц подавление высокое (>75дБ на 60±1Гц). | |

SFR ИНТЕРФЕЙС К АЦП

АЦП управляется и конфигурируется через ряд регистров специального назначения (SFR) рассматриваемых ниже.

ADCSTAT:	Статусный регистр АЦП, содержит биты состояния (статуса) АЦП.
ADCMODE:	Регистр режима АЦП, управляет режимами работы АЦП.
ADC0CON1:	Регистр управления 1 АЦП, содержит некоторую конфигурацию АЦП.
ADC0CON2:	Регистр управления 2 АЦП, содержит некоторую конфигурацию АЦП.
SF:	Регистр цифрового «Sinc»-фильтра. Определяет коэффициент деления (десимации) цифрового фильтра и, таким образом, управляет частотой преобразования на выходе АЦП.
ICON:	Регистр управления источниками тока, позволяет управлять различными вариантами режимов включения встроенных источников тока.
ADCL/M/H:	В трех 8-разрядных регистрах содержится 24-разрядный результат преобразования АЦП.
OFL/M/H:	В трех 8-разрядных регистрах содержится 24-разрядный калибровочный коэффициент смещения АЦП.
GNL/M/H:	В трех 8-разрядных регистрах содержится 24-разрядный калибровочный коэффициент усиления АЦП.

ADCSTAT (статусный регистр АЦП):

Этот регистр отражает состояние АЦП, включая готовность данных, калибровку и различные (относящиеся к АЦП) ошибки и предупреждения, включая ошибку определения наличия ИОН и флаг переполнения.

Адрес SFR	D8H
Значение по включению питания	00H
Битовая адресация	Да

Таблица IX. Назначение разрядов в ADSTAT SFR

Бит	Наименов.	Описание
7	RDY	Разряд готовности АЦП <i>Устанавливается (SET)</i> аппаратно, по завершению преобразования АЦП или по завершению цикла калибровки. <i>Сбрасывается (CLEARED)</i> непосредственно пользователем или косвенно путем записи разрядов запуска следующего цикла преобразования или калибровки АЦП. АЦП запрещается запись результатов в регистры данных или калибровки до тех пор, пока бит RDY0 не сброшен.
6	-	Зарезервирован для дальнейшего использования
5	CAL	Разряд состояния калибровки. <i>Устанавливается</i> аппаратно по завершению цикла калибровки. <i>Сбрасывается</i> косвенно путем записи разрядов запуска следующего цикла преобразования или калибровки.
4	NOXREF	Разряд отсутствия внешнего ИОН (активен в случае, если активен АЦП). <i>Устанавливается</i> для индикации того, что один или оба контакта REFIN куда не подключены (плавающие) или, если приложенное напряжение ниже заданного порога. При использовании внешнего ИОН, если бит установлен, результатом преобразования будут «1» во всех разрядах регистров данных. Входы Refin2 не оказывают влияния на этот разряд. <i>Сбрасывается</i> для индикации того, что величина VREF требуемого номинала.
3	ERR	Разряд ошибки АЦП. <i>Устанавливается</i> аппаратно для того, чтобы показать что результаты, записанные в регистры данных АЦП, фиксируются на уровне либо все «0», либо все «1». Если после выполнения калибровки этот разряд установлен, то он сигнализирует о наличие ошибки, вызванной тем, что в регистры калибровки записи не произведено. <i>Сбрасывается</i> путем записи (установки) разрядов начала преобразования или калибровки.
2	-	Зарезервирован для дальнейшего использования
1	-	Зарезервирован для дальнейшего использования
0	-	Зарезервирован для дальнейшего использования

ADCMODE (регистр режима АЦП):

Используется для управления режимами работы АЦП.

Адрес SFR	D1H
Значение по включению питания	10H
Битовая адресация	Нет

Таблица X. Назначение разрядов в ADCMODE SFR

Бит	Наименован.	Описание			
7	-	Зарезервирован для дальнейшего использования			
6	REJ60	Разряд выбора дополнительной фильтрации на частоте 60Гц (режектор). Установка этого разряда вводит дополнительную фильтрацию в частотном отклике фильтра на частоте 60Гц, обеспечивая высокую режекцию как на частоте 60, так и на частоте 50Гц при величине SF=82. Этот разряд можно устанавливать только тогда, когда SF≥68. Дополнительная фильтрация будет осуществляться корректно только тогда, когда основная частота синхронизации МК составляет 32.768КГц.			
5	ADCOEN	Разрешение АЦП <i>Устанавливается</i> пользователем для того, чтобы разрешить работу АЦП и установить его в режим в соответствии с выбранными разрядами режима MD2-MD0. <i>Сбрасывается</i> пользователем для установки АЦП в ждущий режим «со снятым питанием» (POWER DOWN)			
4	-	Зарезервирован для дальнейшего использования			
3	CHOP	Запрещение работы стабилизирующего прерывателя. <i>Устанавливается</i> пользователем с целью повышения выходной частоты преобразования встроенного АЦП. <i>Сбрасывается</i> пользователем для разрешения работы стабилизирующего прерывателя.			
2	MD2	Разряды режима работы АЦП Эти разряды устанавливают режим работы разрешенного АЦП следующим образом:			
1	MD1				
0	MD0	MD2	MD1	MD0	
		0	0	0	Ждущий режим (питание включено по умолчанию)
		0	0	1	Холостой режим В холостом режиме фильтр АЦП и его модулятор поддерживаются в сброшенном состоянии, хотя на модулятор подается тактовая частота.
		0	1	0	Режим однократного преобразования. В режиме однократного преобразования выполняется однократное преобразование в разрешенном АЦП. По завершению цикла преобразования регистры данных АЦП (AD0L/H/M и/или AD1L/H) модифицируются, записываются соответствующие флаги в регистр ADCSTAT, и МК снова переходит в ждущий режим, причем разряды MD2-MD0 сбрасываются в 000.
		0	1	1	Циклическое преобразование. В режиме циклического преобразования регистры данных АЦП постоянно модифицируются с частотой преобразования на выходе (см. SF регистр)
		1	0	0	Внутренняя калибровка нуля. Автоматически осуществляется внутреннее короткое замыкание входов разрешенных каналов.
		1	0	1	Внутренняя калибровка верхнего предела (полной шкалы). При выполнении данной калибровки внутренний или внешний ИОН по входам REFIN+/- REFIN2+/- (в соответствии с разрядами XREF в ADCCON) автоматически подключается к входу АЦП.
		1	1	0	Системная калибровка нуля. Пользователь должен подать напряжение системного нуля на входы каналов (в соответствии с разрядами CH3-CH0 ADCCON2).
		1	1	1	Системная калибровка верхнего предела (полной шкалы). Пользователь должен подать напряжение системной полной шкалы на входы каналов в соответствии с разрядами CH3-CH0 регистра ADCCON2.

ПРИМЕЧАНИЯ:

- Любое изменение разрядов MD немедленно сбросит оба АЦП. Запись в разряды MD2-MD0 без изменения их содержимого также рассматривается как сброс.
- Как только в AMCODE записывается режим калибровки, разряд RDY (ADCSTAT) немедленно сбрасывается и запускается цикл калибровка. По завершению цикла данные записываются в соответствующие регистры калибровки. В ADCSTAT записываются соответствующие биты, а биты MD2-MD0 сбрасываются в 000, с тем чтобы указать, что АЦП возвратился в ждущий режим.
- Калибровки выполняются при величине SF, установленной пользователем (см. SF SFR).

ADC0CON1 (регистр управления АЦП):

Используется для конфигурации АЦП по использованию буферного каскада, по виду входного сигнала (биполярный/униполярный) и диапазону.

Адрес SFR D2H
 Значение по включению питания 07H
 Битовая адресация Нет

Таблица XI. Назначение разрядов ADC0CON1 SFR

Бит	Наименован.	Описание				
7	BUF1	Разряды конфигурации				
6	BUF0	BUF1	BUF0	Конфигурация буферного каскада		
		0	0	Входы АЦП+ и АЦП- буферизованы		
		0	1	Зарезервировано для дальнейшего использования		
		1	0	Обход буфера		
		1	1	Зарезервировано для дальнейшего использования		
5	UNI	Разряд униполярного преобразования АЦП. <i>Устанавливается</i> пользователем для разрешения униполярного кодирования, т.е. ноль на дифференциальном входе даст 000000HEX на выходе АЦП. <i>Сбрасывается</i> пользователем для разрешения биполярного кодирования, т.е. ноль на дифференциальном входе даст 800000HEX на выходе АЦП.				
4	-	Зарезервировано для дальнейшего использования				
3	-	Зарезервировано для дальнейшего использования				
2	RN2	Разряды диапазона АЦП.				
1	RN1	Устанавливаются пользователем для выбора входного диапазона АЦП:				
0	RN0	RN2	RN1	RN0	Входной диапазон АЦП (VREF = 2.5В)	
		0	0	0	±20мВ	(0 ÷ 20мВ в униполярном режиме)
		0	0	1	±40мВ	(0 ÷ 40мВ в униполярном режиме)
		0	1	0	±80мВ	(0 ÷ 80мВ в униполярном режиме)
		0	1	1	±160мВ	(0 ÷ 160мВ в униполярном режиме)
		1	0	0	±320мВ	(0 ÷ 320мВ в униполярном режиме)
		1	0	1	±640мВ	(0 ÷ 640мВ в униполярном режиме)
		1	1	0	±1.28В	(0 ÷ 1.28В в униполярном режиме)
		1	1	1	±2.56В	(0 ÷ 2.56В в униполярном режиме)

ADC0CON2 (регистр управления АЦП):

Используется для выбора канала АЦП.

Адрес SFR	E6H
Значение по включению питания	00H
Битовая адресация	Нет

Таблица XII. Назначение бит ADC0CON SFR

Бит	Наименован.	Описание				
7	XREF1	Разряды выбора внешнего ИОН АЦП. <i>Устанавливаются</i> пользователем для того, чтобы разрешить использование АЦП внешнего ИОН через контакты REFIN+/- или REFIN2+/-. <i>Сбрасывается</i> пользователем для использования основным АЦП внутреннего ИОН по запрещенной зоне (VREF=1.25B).				
6	XREF0	XREF1	XREF0			
		0	0	Внутренний Vref=1.25B		
		0	1	Refin+/-		
		1	0	Refin2+/- (Ain2/Ain3)		
		1	1	Зарезервирован для дальнейшего использования		
5	-	Зарезервирован для дальнейшего использования.				
4	-	Зарезервирован для дальнейшего использования.				
3	CH3	Разряды выбора канала АЦП.				
2	CH2	Записывается пользователем для выбора входов, используемых АЦП:				
1	CH1	CH3	CH2	CH1	CH0	Входной канал АЦП
0	CH0	0	0	0	0	AIN0 -> AINCOM
		0	0	0	1	AIN1 -> AINCOM
		0	0	1	0	AIN2 -> AINCOM
		0	0	1	1	AIN3-> AINCOM
		0	1	0	0	AIN4 -> AINCOM
		0	1	0	1	AIN5 -> AINCOM
		0	1	1	0	AIN6 -> AINCOM
		0	1	1	1	AIN7 -> AINCOM
		1	0	0	0	AIN8 -> AINCOM (только для корпуса CSP)
		1	0	0	1	AIN9 -> AINCOM (только для корпуса CSP)
		1	0	1	0	AIN0 -> AIN1
		1	0	1	1	AIN2 -> AIN3
		1	1	0	0	AIN4 -> AIN5
		1	1	0	1	AIN6 -> AIN7
1	1	1	0	AIN8 -> AIN9 (только для корпуса CSP)		
1	1	1	1	AINCOM -> AINCOM		

SF (регистр цифрового «SINC» фильтра)

SF регистр используется для установки коэффициента снижения (деления, децимации) частоты модулятора и получения с его помощью выходной частоты преобразования АЦП.

Регистр управления цифрового фильтра (SF)

Используется для выбора канала АЦП.

Адрес SFR	D4H
Значение по включению питания	45H
Битовая адресация	Нет

Таблица XIV. Распределение разрядов регистра Sinc фильтра

SF.7	SF.6	SF.5	SF.4	SF.3	SF.2	SF.1	SF.0
0	1	0	0	0	1	0	1

Содержимое этого регистра составляет коэффициент снижения частоты преобразования на выходе АЦП. Как показано ниже в формулах, совместно со статусом стабилизирующего прерывателя этот коэффициент оказывает прямое влияние на величину частоты преобразования АЦП:

Прерыватель включен $F_{adc} = \frac{1}{(3 \times 8 \times SF)} \times 32.768 \text{ КГц}$ (где SF – десятичный эквивалент кода)

Прерыватель выключен $F_{adc} = \frac{1}{(8 \times SF)} \times 32.768 \text{ КГц}$ (где SF – десятичный эквивалент кода)

Таблица XV. Примеры назначение разрядов SF SFR

ПРЕРЫВАТЕЛЬ РАЗРЕШЕН (ADCMODE.3=0)			
SF (dec)	SF (hex)	F _{adc} (Гц)	T _{adc} (мс)
13	0D	105.3	9.52
69	45	19.79	50.34
255	FF	5.35	186.77

ПРЕРЫВАТЕЛЬ ЗАПРЕЩЕН (ADCMODE.3=1)			
SF (dec)	SF (hex)	F _{adc} (Гц)	T _{adc} (мс)
3	03	1365.3	0.73
69	45	59.36	16.84
255	FF	16.06	62.25

НЕРАЗРУШАЕМАЯ Flash ПАМЯТЬ.**Обзор Flash памяти.**

ADuC847 включает в себя Flash-память, обеспечивая пользователю неразрушаемой, программируемой в составе системы памятью программ (кода) и данных. Flash-память использует новейший принцип технологии получения неразрушаемой памяти на основе архитектуры одно-транзисторной ячейки.

Она выросла из технологии электрически программируемой постоянной памяти (EPROM) и была разработана к концу 80-х годов. Flash-память вобрала в себя гибкость в части репрограммируемости в составе системы от электрически репрограммируемой памяти (EEPROM) и объединила это свойство с высокой плотностью упаковки компонент, присущей электрически программируемой памяти (см. рис. 14).

Поскольку Flash-технология основана на архитектуре одно-транзисторной ячейки, этот тип памяти, подобно EPROM, можно применять для достижения высокой плотности упаковки памяти, требуемой данным устройством.

Подобно EEPROM, Flash-память можно программировать в составе системы на байтовом уровне, хотя ее следует предварительно стереть; причем процесс стирания выполняется блоками. Таким образом, Flash-память часто и более правильно называют Flash/EE-памятью (электрически стираемая Flash-память).

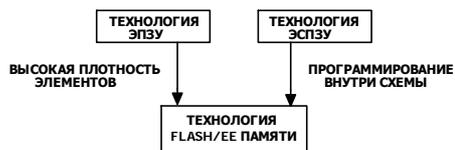


Рис.14 Разработка Flash-памяти.

Таким образом, Flash/EE-память является шагом в сторону создания идеального устройства памяти, которое обладает свойствами неразрушаемости, программируемости в составе системы, высокой плотности компонент и низкой стоимости. Будучи включенной в состав ADuC847, технология Flash/EE-памяти позволяет пользователю модифицировать свой программный код в составе системы, без необходимости замены устройств, как это происходит в случае устройств с однократным программированием (OTP), в удаленных рабочих узлах системы.

Flash/EE память и ADuC847

Для приложений пользователя ADuC847 имеет два массива Flash/EE-памяти. Внутри кристалла существует 62К-байт Flash/EE-памяти программ для выполнения программного кода без необходимости внешнего дискретного ПЗУ. Память программ можно программировать, используя стандартные последовательные программаторы сторонних изготовителей. Данный массив можно также запрограммировать в составе системы, используя существующий режим последовательной загрузки.

В составе кристалла также имеется 4К-байта

Flash/EE-памяти данных. Она может использоваться пользователем, как оперативная неразрушаемая память общего назначения. Доступ пользователя к этой области происходит через группу из 7 SFR-регистров. Эту область можно программировать на байтовом уровне, хотя предварительно ее следует стереть страницами по 4 байта.

Надежность Flash/EE памяти ADuC847

Массивы Flash/EE памяти программ и данных ADuC847 оцениваются по двум ключевым параметрам для памяти данного типа, а именно, по надежности или допустимому числу циклов программирования и по сохранности данных.

Надежность определяет способность Flash/EE памяти многократно подвергаться циклам Программирования, Чтения и Стирания. На самом деле цикл состоит из четырех независимых последовательных событий, определяемых как:

a. начальная операция - стирание страницы	Единичный цикл
b. операция - чтение/верификация	
c. операция - программирование байта	
d. операция повторного чтения/верификации	
Flash/EE памяти	

При испытаниях на надежность выполняется циклическая последовательность (от а до d) для каждого байта Flash/EE памяти программ и данных, начиная с адреса 00Н и до FFН. Эта последовательность выполняется до первого сбоя в записи, что определяет момент исчерпания предела надежности Flash/EE памяти.

Как указано в спецификациях настоящего ТО, испытания на надежность Flash/EE памяти ADuC847 выполняются в соответствии с «JEDEC Specification A117» в точках промышленного диапазона температур -40°C , $+25^{\circ}\text{C}$, $+85^{\circ}\text{C}$ и $+125^{\circ}\text{C}$ (изделия в корпусе CSP испытываются только до температуры $+85^{\circ}\text{C}$). Результаты дают спецификацию минимальной величины надежности (в зависимости от питания и температуры) 100000 циклов, причем при работе в нормальных условиях, при $+25^{\circ}\text{C}$, надежность составляет 700000 циклов.

Сохранность данных определяет способность Flash/EE памяти сохранять записанные данные в течение определенного интервала времени. И, опять ADuC847 испытывается в соответствии с «JEDEC Retention Life-Time Specification A117» при характерной температуре перехода ($T=55^{\circ}\text{C}$). Как часть данной процедуры, сначала Flash/EE память циклируется до специфицированного предела надежности, как описывалось выше, до того, как будет оцениваться сохранность данных. Это означает наличие гарантии того, что Flash/EE память сохраняет свои данные в течение всего специфицированного интервала сохранности, всякий раз, когда она успешно проходит цикл перезаписи. Следует так же отметить, что интервал сохранности, основывающийся на величине энергии активации 0.6эВ, будет уменьшаться с ростом T_j , как показано на рис. 15.

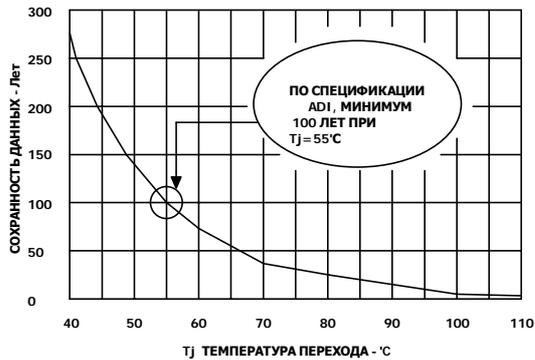


Рис.15 Зависимость сохранности данных Flash/EE памяти от температуры перехода

FLASH/EE-ПАМЯТЬ ПРОГРАММ

ADuC847 содержит массив 64К-байта Flash/EE памяти программ. Нижние 62К-байт этой памяти можно использовать для хранения пользовательского исполняемого кода и данных.

Верхние 2К-байта заняты специальным программным обеспечением (ПО), выполняющим последовательную загрузку микроконвертера в составе системы, последовательную отладку и аппаратную эмуляцию устройства через один внешний контакт. Эти же 2КБ заводского ПО содержат программу начальной загрузки периферии калибровочными коэффициентами по включению питания (АЦП, датчик температуры, источники тока, внутренний ИОН и т.д.).

Эти 2КБ памяти скрыты для пользовательского кода. Результатом чтения этой области памяти будет 00H, что соответствует команде NOP.

В нормальном режиме работы 62КБ Flash/EE памяти программ пользователя составляют 1 блок. Как показано на рис. 16, этот блок используется для хранения исполняемого кода пользователя.

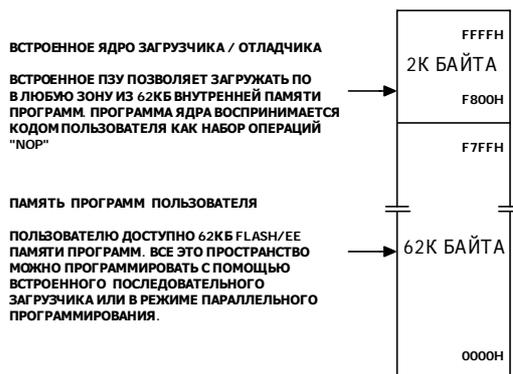


Рис.16. Карта распределения Flash/EE памяти программ в Нормальном Режиме Работы

В нормальном режиме 62КБ Flash/EE памяти программ можно программировать двумя способами.

(1) Последовательная загрузка (в составе системы)

ADuC847 можно загружать через стандартный последовательный порт (UART). Режим последовательной загрузки включается автоматически при подаче питания или после выполнения внешнего сброса, если контакт PSEN подключен через внешний резистор 1кОм к земле. Попав в режим последовательной загрузки, микроконвертер начинает исполнять ПО из скрытой части ПЗУ. В это время пользователь может загружать свой код в массив памяти программ 62КБ. Исполняемая программа последовательной загрузки с PC-компьютера (WSD.EXE) поставляется как часть системы разработки QuickStart ADuC847. Протокол последовательной загрузки детализован в заметке по применению - uC004, которую можно получить из сети Internet по адресу www.analog.com/microconverter (страничка Микроконвертора).

(2) Параллельное программирование

Режим параллельного программирования полностью совместим со стандартными устройствами программаторов EEPROM или Flash-памяти от сторонних производителей. Блок схема внешней конфигурации контактов, требуемая для поддержки параллельного программирования, показана на рис.17. В этом режиме порты P0 и P2 используются в качестве внешней интерфейсной магистрали адреса, а порт P3 - магистрали данных. P1.0 используется как строб разрешения записи данных. Порты P1.1, P1.2, P1.3 и P1.4 используются как порты общего назначения, которые устанавливают устройство в различные режимы стирания и программирования во время выполнения процесса параллельного программирования.

Таблица XVI. Режимы параллельного программирования Flash/EE-памяти

Порт 1				Режим программирования
P1.4	P1.3	P1.2	P1.1	
0	0	0	0	Стирание Flash/EE-памяти программ, данных и режимов защиты (безопасности)
1	0	0	1	Чтение сигнатуры/ /идентификатора устройства
1	0	1	0	Программирование байта кода
0	0	1	0	Программирование байта данных
1	0	1	1	Чтение байта кода
0	0	1	1	Чтение байта данных
1	1	0	0	Программирование режимов защиты
1	1	0	1	Чтение/проверка режимов защиты
Остальные коды				Зарезервированы

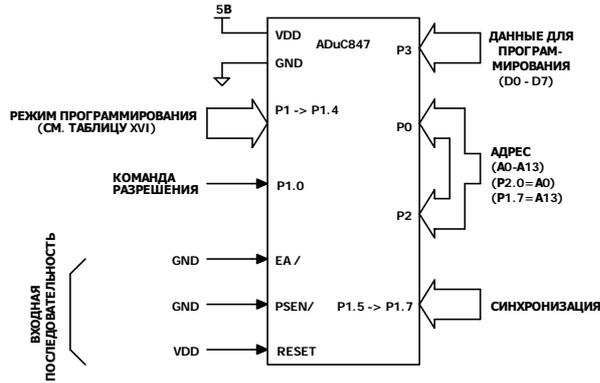


Рис.17 Параллельное программирование Flash/EE-памяти.

РЕЖИМ ПОЛЬЗОВАТЕЛЬСКОЙ ЗАГРУЗКИ (ULOAD)

На рис.16 показано, что пользователю для размещения его прикладных программ доступен один блок Flash/EE памяти размером 62КБ. В таком режиме работы Flash/EE память представляет собой ПЗУ исполняемого кода, доступную только для чтения.

В режиме ULOAD (пользовательская загрузка - ПЗ) Flash/EE память можно использовать и для записи. Как показано на рис.18, в режиме ПЗ нижние 56КБ памяти программ можно использовать для записи из ПО пользователя. В режиме ПЗ, используя любой протокол обмена, можно модифицировать программный код пользователя, расположенный в этой области памяти. Если последовательный порт SPI установить в режим ведомого, то в течение 5сек с его помощью можно полностью репрограммировать все 56КБ Flash/EE памяти программ (см. uC007).

Кроме того, в режиме ПЗ в 56КБ Flash/EE памяти можно сохранять данные. Это особенно полезно в приложениях, связанных регистрацией данных, причем ADuC847 может предоставить для записи данных 60КБ Flash/EE памяти (поскольку существует еще 4КБ специальной Flash/EE памяти данных).

Верхние 6КБ из 62КБ Flash/EE памяти программ программируются только последовательно или параллельно. Это означает, что это пространство памяти может быть использовано только как ПЗУ программ пользователя. Поэтому эту область памяти невозможно произвольно стереть или случайно репрограммировать. По этой причине в этой области памяти (6КБ) обычно размещают начальный загрузчик. В последовательном загрузчике существует вариант запуска начального загрузчика, определяемый фразой: «После сигнала СБРОС всегда начинать работу с адреса E000h». При загрузке рекомендуется пользоваться начальным загрузчиком, поскольку при этом гарантируется, что с появлением сигнала СБРОС программа загрузки всегда будет выполняться корректно.

Дополнительная информация по программированию Flash/EE памяти программ в режиме ПЗ содержится в писании регистра ECON и в технических заметках uC007.

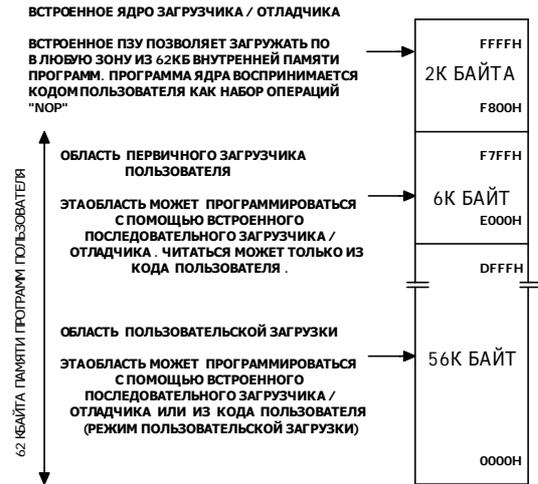


Рис.18 Карта Flash/EE памяти программ в режиме ПЗ

Защита Flash/EE памяти Программ

ADuC847 имеет три режима защиты Flash/EE памяти программ. Все режимы можно активировать независимым образом, ограничив тем самым доступ к внутреннему пространству кода. Эти режимы защиты можно разрешить как при последовательной загрузке (технические заметки uC004) так и при параллельном программировании. Режимы защиты ADuC847 выглядят следующим образом:

Режим Закрытия (Lock mode)

Этот режим «запирает» код в памяти, запрещая выполнение параллельного программирования памяти программ, разрешая, однако, ее параллельное считывание из внешней памяти с помощью команды MOVC. Этот режим деактивируется (снимается) по началу выполнения команды «стирание кода и данных» в режимах последовательной загрузки или параллельного программирования.

Режим Защиты (Secure mode)

Этот режим «запирает» код в памяти, запрещая параллельное программирование, выполнение команд верификации/чтения, а так же исполнение инструкции MOVC из внешней памяти. Этот режим деактивируется (снимается) по началу выполнения команды «стирание кода и данных» в режимах последовательной загрузки или параллельного программирования.

Режим Последовательной Защиты (Serial safe mode)

Этот режим запрещает последовательную загрузку устройства. Когда активирован режим последовательной защиты и делается попытка установить устройство в режим последовательной загрузки, т.е. подается сигнал RESET при наличии низкого уровня PSEN, устройство будет интерпретировать эту попытку установки режима последовательной загрузки как обычный сброс (инициализацию) и только. Оно не войдет в режим последовательной загрузки, а только выполнит последовательность обычного сброса устройства.

Режим последовательной защиты может быть снят только началом выполнения команды «стирания кода» в режиме параллельного программирования.

Использование Flash/EE-памяти Данных.

4КБ Flash/EE памяти данных организованы в виде 1024 4-разрядных страниц. Как и в случае пользовательской периферии ADuC847, интерфейс к этой области памяти осуществляется через SFR регистры. Для хранения содержимого 4 байтовой страницы используется 4 регистра данных (EDATA1-4). Для фиксации адреса страницы, к которой будет производиться доступ, используются регистры EADR1 и EADR4. И, наконец, существует 8-разрядный регистр управления – ECON, в который можно записать одну из 9 команд доступа к Flash/EE-памяти для выполнения различных операций: чтения, записи, стирания и верификации. Блок схема регистрового интерфейса SFR к массиву Flash/EE-памяти данных показана на рис.19.

ECON – Регистр Управления Flash/EE памятью.

С помощью регистра управления Flash/EE памятью ECON SFR можно программировать как Flash/EE память данных, так и Flash/EE память программ. Этот регистр позволяет читать, записывать, стирать и верифицировать 4КБ Flash/EE памяти данных или 56КБ Flash/EE памяти программ.

АДРЕС СТРАНИЦЫ (EADR1/L)	3FFH	БАЙТ1 (OFFCH)	БАЙТ2 (OFFDH)	БАЙТ3 (OFFEH)	БАЙТ4 (OFFFH)
	3FEH	БАЙТ1 (OFFBH)	БАЙТ2 (OFF8H)	БАЙТ3 (OFFAH)	БАЙТ4 (OFFBH)
	03H	БАЙТ1 (OFFCH)	БАЙТ2 (OFFDH)	БАЙТ3 (OFFEH)	БАЙТ4 (OFFFH)
	02H	БАЙТ1 (OFFBH)	БАЙТ2 (OFF8H)	БАЙТ3 (OFFAH)	БАЙТ4 (OFFBH)
	01H	БАЙТ1 (OFFCH)	БАЙТ2 (OFFDH)	БАЙТ3 (OFFEH)	БАЙТ4 (OFFFH)
	00H	БАЙТ1 (OFFBH)	БАЙТ2 (OFF8H)	БАЙТ3 (OFFAH)	БАЙТ4 (OFFBH)
		EDATA 1 SFR	EDATA 1 SFR	EDATA 1 SFR	EDATA 1 SFR

Рис.19. Управление и конфигурация Flash/EE памяти

Таблица XVII. Команды регистра управления Flash/EE памятью ECON

ECON	Описание команды (Норм. Режим, по включен. питания)	Описание команды (Режим ПЗ)
01H Чтение	4 байта из Flash/EE памяти данных, расположенных по адресу, занесенному в регистры EADRL/H, считываются в регистры EDATA1-4.	Не используется. Следует применять команду MOVC.
02H Запись	4 байта из регистров EDATA1-4 заносятся в Flash/EE память данных по адресу страницы, находящемуся в регистре EADRH ($0 \leq \text{EADRH} < 0400\text{H}$) Примечание: 4 байта памяти, в которые будут записываться данные должны быть предварительно стерты.	Выполняет запись байтов 0-255 из внутренней XRAM в 256 байт Flash/EE памяти программ с адреса из регистров EADRL/H.
03H	Резервная команда.	Резервная команда.
04H Верификация	Сравнивает данные, записанные в регистрах EDATA1-4 с данными, содержащимися на странице памяти с адресом, указанным в регистрах EADRL/H. Следующее чтение регистра ECON даст 0, если сравнение успешно и не ноль, если нет.	Не используется. Для проверки правильности записи следует применять команды MOVC и MOVX.
05H Стирание страницы	Выполняет очистку 4 байт на странице памяти данных с адресом, расположенном в регистрах EADRL/H.	Выполняет стирание 64-байтовой страницы Flash/EE памяти программ по адресу из регистров EADRL/H. EADRL может приобретать промежуточные значения внутри 64 адресов страницы. Новая страница будет всякий раз начинаться, когда EADRL приобретает значения 00H, 80H или C0H.
06H Стирание всей памяти	Выполняет стирание всех 4КБ Flash/EE памяти данных.	Выполняет стирание всех 56КБ Flash/EE памяти данных.
81H Чтение байта	Выполняет чтение байта из Flash/EE памяти данных по адресу, расположенному в регистрах EADRL/H, в регистр EDATA1. ($0 \leq \text{EADRH/L} \leq 0FFF\text{H}$).	Не используется. Следует применять команду MOVC.
82H Запись байта	Выполняет запись байта из регистра EDATA1 в Flash/EE память данных по адресу, расположенному в регистрах EADRL/H.	Выполняет запись байта из регистра EDATA1 в Flash/EE память программ по адресу, расположенному в регистрах EADRL/H ($0 \leq \text{EADRH/L} \leq DFFF\text{H}$).
0FH EXULOAD (ПЗ данных)	Устанавливает ECON на работу в Flash/EE памяти данных.	Устанавливает нормальный режим работы, при этом следующие команды ECON будут обращены в Flash/EE память данных.
F0H ULOAD (ПЗ)	Устанавливает режим пользовательской загрузки, при этом следующие команды ECON будут обращены в Flash/EE память программ.	Устанавливает режим пользовательской загрузки, при этом следующие команды ECON будут обращены в Flash/EE память программ.

ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС I2C

ADuC847 поддерживает лицензированный последовательный интерфейс I2C. I2C может использоваться как аппаратный ведомый и программный ведущий. Выводы SDATA (27-ой для корпуса MQFP и 29-й для CSP) и SCLK (26-ой для корпуса MQFP и 28-ой для CSP) являются сигналами ввода/вывода данных и синхронизации, соответственно. Интерфейс I2C ADuC847 не мультиплексируется ни с какими другими функциями и контактами микроконвертера. Интерфейс I2C ADuC847 содержит второй регистр адреса I2C (I2CADD1) в области адресов SFR. Его адрес – 0xF2, а содержимое по включению питания равно 0x7F. Этот интерфейс всегда доступен пользователю, поскольку он ни с чем не мультиплексируется. Это означает, что в ADuC847 можно одновременно использовать оба интерфейса – I2C и SPI. Если используются одновременно оба интерфейса, то при возникновении прерывания от них необходимо опросить каждый из интерфейсов для нахождения источника прерывания, поскольку они оба имеют один и тот же адрес вектора (0x3B).

Для управления этим интерфейсом используются четыре регистра:

I2CCON:	Регистр управления I2C
Функция	регистр управления I2C
Адрес SFR	E8H
Значение по включению питания	00H
Битовая адресация	Да

Таблица XVII. Назначение разрядов I2CCON SFR

Бит	Наименован.	Описание
7	MDO	Разряд выходных данных I2C. (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). Этот разряд используется в режиме «программный ведущий» для передачи данных по I2C. Данные записанные в этот разряд будут выведены на контакт SDATA, если бит разрешения вывода данных (MDE) установлен.
6	MDE	Разряд разрешения вывода данных I2C (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). Устанавливается пользователем для назначения контакта SDATA на вывод данных. (TX). Сбрасывается пользователем для назначения контакта SDATA на ввод данных. (RX).
5	MCO	Разряд выходного синхросигнала I2C (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). Этот разряд используется для передающего интерфейса I2C в режиме «программный ведущий». Данные, записанные в этот разряд, будут выводиться на контакт SCLK
4	MDI	Разряд ввода данных I2C (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). Этот разряд данных используется приемным интерфейсом в режиме «программный ведущий». Данные с контакта SDATA заносятся в этот бит по сигналу SCLK, если бит разрешения вывода данных (MDE) равен «0».
3	I2CM	Разряд режима «ведущий/ведомый» I2C. Устанавливается пользователем для разрешения режима I2C «программный ведущий». Сбрасывается пользователем для разрешения режима I2C «аппаратный ведомый».
2	I2CRS	Разряд сброса I2C (ТОЛЬКО ДЛЯ РЕЖИМА «АППАРАТНЫЙ ВЕДОМЫЙ»). Устанавливается пользователем для сброса интерфейса I2C. Сбрасывается кодом пользователя для нормальной работы I2C.
1	I2CTX	Разряд установки направления передачи I2C (ТОЛЬКО ДЛЯ РЕЖИМА «АППАРАТНЫЙ ВЕДОМЫЙ»). Устанавливается Микроконвертером, если интерфейс передает. Сбрасывается Микроконвертером, если интерфейс принимает
0	I2CI	Разряд прерывания от I2C (ТОЛЬКО ДЛЯ РЕЖИМА «АППАРАТНЫЙ ВЕДОМЫЙ»). Устанавливается Микроконвертером после того, как байт передан или принят. Сбрасывается автоматически, когда код пользователя читает регистр I2CDAT SFR.

I2CADD:

Функция

Регистр адреса 1 I2C

Содержит один из адресов I2C устройства. Адрес может быть переназначен кодом пользователя. См. заметки по применению uC007 на страничке <http://www.analog.com/microconverter> , где описывается формат стандартного 7-разрядного адреса I2C.

Адрес SFR

9BH

Значение по включению питания

55H

Битовая адресация

Нет

I2CADD1:

Функция

Регистр адреса 2 I2C

Как и для рассмотренного I2CADD

Адрес SFR

F2H

Значение по включению питания

7FH

Битовая адресация

Нет

I2CDAT:

Функция

Регистр данных 1 I2C

В I2CDAT SFR заносятся данные исполняемым кодом пользователя при выполнении передачи данных или же этот регистр считывается кодом при выполнении приема данных. При любом обращении к регистру I2CDAT автоматически производится сброс всех прерываний от интерфейса I2C и разряда I2C1 в регистре I2CCON. Для обслуживания интерфейса исполняемому коду пользователя достаточно просто обратиться к регистру I2CDAT.

Адрес SFR

9AH

Значение по включению питания

00H

Битовая адресация

Нет

**ПОСЛЕДОВАТЕЛЬНЫЙ ПЕРИФЕРИЙНЫЙ
ИНТЕРФЕЙС (SPI)**

ADuC847 в своем составе имеет встроенный аппаратный последовательный интерфейс (SPI). SPI представляет собой стандартный промышленный синхронный последовательный интерфейс, который позволяет одновременно синхронно принимать и передавать 8 бит последовательных данных (т.е. по полному дуплексу). Следует отметить, что физические контакты интерфейса SPI мультиплексированы с контактами Порта 2 (P2.0, P2.1, P2.2 и P2.3). Функция контактов как контактов интерфейса SPI активна только тогда, когда SPI разрешен (разряд SPE установлен). В противном случае выполняется стандартная функция Порта 2. Интерфейс SPI системы можно сконфигурировать для работы как ведущий либо как ведомый, и он предоставляет пользователю для организации обмена четыре контакта, а именно:

SCLOCK (Последовательный синхросигнал, ввод/вывод), Контакт 28 (корпус MQFP), Контакт 30 (корпус CSP)

Синхросигнал ведущего (SCLOCK) используется для синхронизации передаваемых и принимаемых данных по линиям MOSI и MISO. В каждом периоде синхросигнала передается и принимается один бит данных. Таким образом, один байт данных передается/принимается за восемь периодов SCLOCK. Контакт синхросигнала конфигурируется как выход в режиме ведущего устройства и как вход в режиме ведомого. В режиме ведущего с помощью разрядов CPOL, CPHA, SPO и SPR1 в регистре SPICON (см. таблицу XIX., ниже) управляют полярностью синхросигнала, его фазой и скоростью передачи. В режиме ведомого регистр SPICON необходимо программировать по фазе и полярности (CPHA и CPOL) в соответствии с ожидаемым на входе синхросигналом. Как в режиме ведущего, так и в режиме ведомого устройства данные передаются по одному фронту синхросигнала, а вводятся по другому. Поэтому важно, чтобы разряды CPHA и CPOL были одинаковыми как для ведущего так и для ведомого устройств.

MISO (Вход ведущего, выход ведомого), Контакт 30 (корпус MQFP), Контакт 32 (корпус CSP)

MISO (master in, slave out) контакт конфигурируется как вход с линии в режиме ведущего и как выход на линию в режиме ведомого. Линия MISO с ведущего устройства (ввод данных) должна подключаться к линии MISO ведомого устройства (вывод данных). Данные передаются как 8-битные байты последовательно, причем СЗР передается первым.

MOSI (Выход ведущего, вход ведомого), Контакт 29 (корпус MQFP), Контакт 31 (корпус CSP)

MOSI (master out, slave in) конфигурируется как выход на линию в режиме ведущего и как вход с линии в режиме ведомого. Линия MOSI с ведущего устройства (вывод данных) должна подключаться к линии MOSI ведомого устройства (ввод данных). Данные передаются как 8-битные байты последовательно, причем СЗР передается первым.

SS (Вход выбора ведомого), Контакт 31 (корпус MQFP), Контакт 33 (корпус CSP)

Входной контакт SS (slave select) используется только тогда, когда ADuC847 сконфигурирован ведомым устройством. Эта линия активна при низком уровне. В режиме ведомого данные могут приниматься или передаваться только тогда, когда уровень сигнала на входе SS низкий, что позволяет использовать ADuC847 в конфигурации с одним ведущим и несколькими ведомыми устройствами. Если разряд CPHA=1, то вход SS может постоянно находиться в низком уровне. При CPHA=0 вход SS должен переводиться в низкое состояние до начала передачи или приема первого переносимого бита байта и возвращаться в высокое после передачи или приема последнего бита того же байта. В режиме ведомого SPI логический уровень на внешнем выводе SS можно считать с разряда SPO в SPICON SFR.

Для управления интерфейсом SPI используется SFR-регистры, приведенные ниже.

Таблица XIX. Назначение разрядов регистра SPICON

Биты	Наименован.	Описание															
7	ISPI	Разряд прерывания от SPI. Устанавливается Микроконвертером в конце каждой передачи по SPI. Сбрасывается непосредственно кодом пользователя или косвенно путем чтения регистра SPIDAT.															
6	WCOL	Разряд ошибки столкновения при записи. Устанавливается Микроконвертером, если происходит запись в регистр SPIDAT в то время, когда происходит процесс передачи по SPI. Сбрасывается кодом пользователя.															
5	SPE	Разряд разрешения интерфейса SPI. Устанавливается пользователем для разрешения интерфейса SPI. Сбрасывается пользователем для разрешения работы стандартного Порта 2.															
4	SPIM	Разряд выбора режима SPI «ведущий/ведомый». Устанавливается пользователем для разрешения режима «ведущий» (SCLOCK подается на выход). Сбрасывается пользователем для разрешения режима «ведомый» (SCLOCK поступает на вход).															
3	CPOL ¹	Разряд выбора полярности синхросигнала. Устанавливается пользователем с тем, чтобы пассивный уровень SCLOCK был высоким. Сбрасывается пользователем с тем, чтобы пассивный уровень SCLOCK был низким.															
2	CPHA ¹	Разряд выбора фазы синхросигнала. Устанавливается пользователем для того, чтобы для передачи данных служил передний фронт SCLOCK. Сбрасывается пользователем для того, чтобы для передачи данных служил задний фронт SCLOCK.															
1 0	SPR1 SPR0	Разряды выбора скорости передачи данных SPI. Данные разряды устанавливают скорость передачи в режиме «ведущий» следующим образом:															
	<table border="1"> <thead> <tr> <th>SPR1</th> <th>SPR0</th> <th>Выбранная скорость передачи</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>$f_{CORE}/2$</td> </tr> <tr> <td>0</td> <td>1</td> <td>$f_{CORE}/4$</td> </tr> <tr> <td>1</td> <td>0</td> <td>$f_{CORE}/8$</td> </tr> <tr> <td>1</td> <td>1</td> <td>$f_{CORE}/16$</td> </tr> </tbody> </table>	SPR1	SPR0	Выбранная скорость передачи	0	0	$f_{CORE}/2$	0	1	$f_{CORE}/4$	1	0	$f_{CORE}/8$	1	1	$f_{CORE}/16$	
SPR1	SPR0	Выбранная скорость передачи															
0	0	$f_{CORE}/2$															
0	1	$f_{CORE}/4$															
1	0	$f_{CORE}/8$															
1	1	$f_{CORE}/16$															

ПРИМЕЧАНИЕ

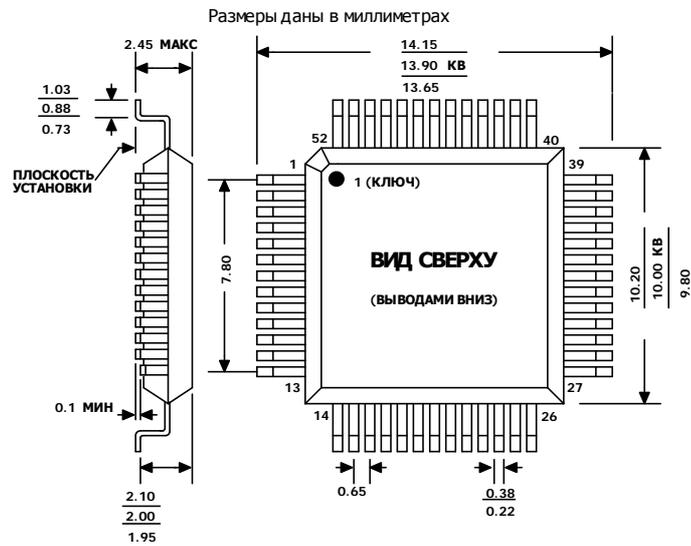
¹ Для ведущего и ведомого устройств разряды CPOL и CPHA должны иметь одно и то же значение.

ПРИМЕЧАНИЕ

Интерфейсы SPI и I2C имеют один и тот же адрес вектора прерывания (Ox3B). Если одновременно используются оба интерфейса, то при возникновении прерывания от них необходимо опросить каждый из интерфейсов для нахождения источника прерывания.

РАЗМЕРЫ КОРПУСОВ

Пластмассовый плоский квадратный корпус с 52-мя выводами (MOFP)
(S-52)



Миниатюрный корпус с 56-ю выводами (LFCSP)
размером 8x8 мм (CP-56)

