

ХАРАКТЕРИСТИКИ

АНАЛОГОВЫЙ ВВОД/ВЫВОД

8-канальный прецизионный 12-разрядный АЦП
 Встроенный 20ppm/°C ИОН
 Высокая скорость выборок 200 кSPS
 Контроллер канала ПДП к внешней памяти данных
 Два 12-разрядных ЦАП с вольтовым выходом
 Внутренний температурный сенсор

ПАМЯТЬ

8 Кбайт FLASH памяти программ
 640 байт FLASH памяти данных
 Внутренний генератор подкачки заряда
 256 байт внутренней памяти данных
 16 Мбайт пространства внешней памяти данных
 64 Кбайт пространства внешней памяти программ

8051 - СОВМЕСТИМОЕ ЯДРО

12МГц номинальная частота [16МГц – макс.]
 Три 16-разрядных счетчика/таймера
 32 программируемые линии ввода/вывода
 Порт с высоким током - Порт3
 9 источников прерываний, 2 уровня приоритета

ПИТАНИЕ

Специфицирован для работы от 3В до 5В
 Режимы: нормальный, холостой и дежурный
 Последовательный порт UART
 2-Проводной (I²C) и/или SPI порт
 Сторожевой таймер (WDT)
 Монитор источника питания

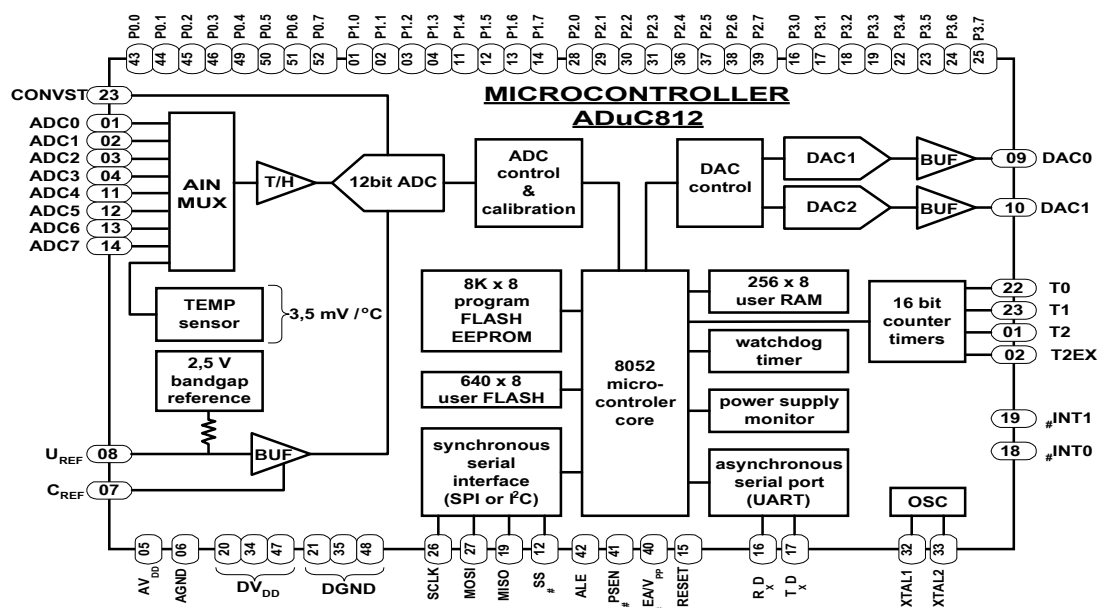
ПРИЛОЖЕНИЯ

Интеллектуальные сенсоры (IEEE 1451.2)
 Батарейные системы
 (портативные PC, инструмент, мониторы)
 Системы слежения
 Системы сбора информации, коммуникация

ОБЩЕЕ ОПИСАНИЕ

ADuC812 - интегральная 12-разрядная система сбора информации, включающая в себя прецизионный многоканальный АЦП с самокалибровкой, два 12-разрядных ЦАП и программируемое 8-битное микропроцессорное ядро (совместимое с 8051, MCU). MCU поддерживается внутренними 8К FLASH ЭРПЗУ программ, 640 байт ЭРПЗУ памяти данных и 256 байт статической памяти данных с произвольной выборкой (RAM). MCU поддерживает следующие функции: сторожевой таймер, монитор питания и канал прямого доступа к памяти для АЦП. Для мультипроцессорного обмена и расширения ввода/вывода имеются 32 программируемые линии, I²C, SPI и UART интерфейсы. Для гибкого управления в приложениях с низким потреблением в MCU и аналоговой части предусмотрены 3 режима работы: нормальный, холостой и дежурный. Продукт специфицирован для +3/+5В работы в промышленном диапазоне температур и поставляется 52-выводном пластмассовом корпусе (PQFP).

ФУНКЦИОНАЛЬНАЯ БЛОК-СХЕМА



ADuC812-Спецификация^{1,2}

($V_{DD}=+3В$ или $+5В \pm 10\%$, $V_{REF} = 2.5В$ внутренний ИОН, $MCLCIN=16.0$ МГц, ЦАП V_{OUT} нагрузка к AGND; $R_L=10К$, $C_L=100$ пФ. Все спецификации приводятся для $T_A =$ от $T_{МИН}$ до $T_{МАКС}$, если не указано особо.)

ПАРАМЕТР	ADuC812		ЕДИНИЦЫ	УСЛОВИЯ И ПРИМЕЧАНИЯ
	$V_{DD}=5В$	$V_{DD}=3В$		
АЦП - СПЕЦИФИКАЦИЯ КАНАЛОВ ТОЧНОСТЬ ПО ПОСТОЯННОМУ ТОКУ ^{3,4}				
Разрешение	12	12	Биты	$F_{SAMPL} = 100КГц$ $F_{SAMPL} = 100КГц$ $F_{SAMPL} = 200КГц$ $F_{SAMPL} = 100КГц$ гарантия отсутствия пропуска кода @ 5В
Интегральная нелинейность	$\pm 1/2$	$\pm 1/2$	LSB [сред.]	
	± 1.5	± 1.5	LSB [макс.]	
	± 1.5	± 1.5	LSB [сред.]	
Дифференциальная нелинейность	± 1	± 1	LSB [сред.]	
КАЛИБРОВОЧНЫЕ ОШИБКИ КОНЕЧНЫХ ТОЧЕК ШКАЛЫ ^{5,6}				
Ошибка смещения	± 5		LSB [макс.]	
	± 1	± 2	LSB [сред.]	
Согласованность ошибки смещения	1		LSB [сред.]	
Ошибка усиления	± 6		LSB [макс.]	
	± 1	± 2	LSB [сред.]	
Согласованность ошибки усиления	1.5	1.5	LSB [сред.]	
СИСТЕМНАЯ КАЛИБРОВКА ⁷				
Диапазон калибровки смещения	± 5	± 5	% от V_{REF} [сред.]	
Диапазон калибровки усиления	± 2.5	± 2.5	% от V_{REF} [сред.]	
ДИНАМИЧЕСКОЕ РАЗРЕШЕНИЕ				$F_{IN} = 10КГц$, синус $F_{SAMPL} = 100КГц$
Отношение сигнал-шум ⁸	70	70	дБ [сред.]	
Полный коэффициент гармоник (THD)	-78	-78	дБ [сред.]	
Пиковая гармоника шумовая помеха	-78	-78	дБ [сред.]	
АНАЛОГОВЫЙ ВХОД				
Диапазон входных напряжений	$0 - V_{REF}$	$0 - V_{REF}$	мкА [макс.]	
Входной ток		± 10	В	
	± 1	± 1	мкА [макс.]	
Входная емкость	20	20	пФ [макс.]	
ТЕМПЕРАТУРНЫЙ СЕНСОР ⁹				Встроенный АЦП с точностью ± 0.5 LSB
Выходное напряжение (25°C)	600	600	мВ [сред.]	
Температурный коэффициент	-3.0	-3.0	мВ/°C [сред.]	
ЦАП - СПЕЦИФИКАЦИЯ КАНАЛОВ ТОЧНОСТЬ ПО ПОСТОЯННОМУ ТОКУ ¹⁰				
Разрешение	12	12	Разряды	Гарантия 12-разрядной монотонности
Относительная точность	± 3	± 3	LSB [сред.]	
Дифференциальная нелинейность	± 1		мВ [макс.]	
Ошибка смещения	± 50		мВ [сред.]	
	± 25	± 25	мВ [макс.]	
Ошибка шкалы	± 25		мВ [сред.]	
	± 10	± 10	мВ [макс.]	
Согласование шкал	± 0.5	± 0.5	% [сред.]	
	± 0.5	± 0.5	% [сред.]	
	± 0.5	± 0.5	% [сред.]	
АНАЛОГОВЫЕ ВЫХОДЫ				
Диапазон напряжений 0	$0 - V_{REF}$	$0 - V_{REF}$	В [сред.]	
Диапазон напряжений 1	$0 - V_{DD}$	$0 - V_{DD}$	В [сред.]	
Величина резистивной нагрузки	10	10	кΩ [сред.]	
Величина емкостной нагрузки	100	100	пФ [сред.]	
Выходной импеданс	0.5	0.5	Ω [сред.]	
Нагрузка по току	50	50	мкА [сред.]	

ПАРАМЕТР	ADuC812		ЕДИНИЦЫ	УСЛОВИЯ И ПРИМЕЧАНИЯ
	V _{DD} =5В	V _{DD} =3В		
ЦАП – ХАРАКТЕРИСТИКИ ПО ПЕРЕМЕННОМУ ТОКУ				
Время установления выходного напряжения	8	8	мкс [сред.]	Время установления максимального сигнала с ошибкой ≤ 0.5 LSB При изменении кода с переносом единицы в старший разряд
Энергетика импульсной помехи из цифровой цепи	20	20	нВ сек [сред.]	
ИОН - ВХОДЫ/ВЫХОДЫ				
Диапазон входных напряжений	2.3 / V _{DD}	2.3 / V _{DD}	В [мин./макс.]	
Входной импеданс	150	150	КΩ [сред.]	
Величина выходного напряжения	2.45	2.55	В [мин./макс.]	
Температурный коэффициент выходного напряжения	2.5	2.5	В [сред.]	
	20	20	В [сред.] ppm/°C	
РАБОЧИЕ ХАРАКТЕРИСТИКИ ЭРПЗУ (FLASH) ^{11,12}				
Допустимое число циклов программирования	10 000		циклов [мин.]	
Сохранность данных	50 000	50 000	циклов [сред.]	
	10		лет [мин.]	
ХАРАКТЕРИСТИКИ СТОРОЖЕВОГО ТАЙМЕРА (WDT)				
Частота генерации	44,8 / 83,2		КГц [мин./макс.]	
	64	64	КГц [сред.]	
ХАРАКТЕРИСТИКИ МОНИТОРА ПИТАНИЯ (PSM)				
Точность установки порога срабатывания	±2.5		% [макс.]	% от номинального значения выбр. порога
	±1.0	±1.0	% [сред.]	
ЦИФРОВЫЕ ВХОДЫ				
Входное напряжение высокого уровня, V _{INH}	2.4		В [мин.]	V _{IN} = 0В или V _{DD} V _{IN} = 0В или V _{DD} V _{IN} = V _{DD} V _{IN} = V _{DD} V _{IL} = 450мВ V _{IL} = 450мВ V _{IL} = 2В V _{IL} = 2В
Входное напряжение низкого уровня, V _{INL}	0.8		В [макс.]	
Входной ток утечки (Порт0, EA)	±10		мкА [макс.]	
	±1	+/-1	мкА [сред.]	
Входной ток Лог.1 (Все циф. входы)	±10		мкА [макс.]	
Входной ток Лог.0 (Порт 1,2,3)	±1	+/-1	мкА [сред.]	
Ток при переходе Лог.1-0 (Порт 1,2,3)	-80		мкА [макс.]	
	±40	-40	мкА [сред.]	
Ток при переходе Лог.1-0 (Порт 1,2,3)	-700		мкА [макс.]	
Входная емкость	-400	-400	мкА [сред.]	
	10	10	пФ [сред.]	
ЦИФРОВЫЕ ВЫХОДЫ				
Выходное напряжение высокого уровня, V _{OH}	2.4		В [мин.]	V _{DD} = от 4.5В до 5.5В I _{SOURCE} = 80мкА V _{DD} = от 2.7В до 3.3В I _{SOURCE} = 20мкА
	4.0	2.6	В [сред.]	
Выходное напряжение низкого уровня, V _{OL}				I _{SINK} = 1.6мА I _{SINK} = 1.6мА I _{SINK} = 8мА I _{SINK} = 8мА
ALE, PSEN, Порт 0, 1, 2	0.4		В [макс.]	
	0.2	0.2	В [сред.]	
Порт 3	0.4		В [макс.]	
	0.2	0.2	В [сред.]	
Ток утечки в Z-состоянии	±10		мкА [макс.]	
	±5	±5	мкА [сред.]	
Выходная емкость в Z-состоянии	10	10	пФ [сред.]	

ПАРАМЕТР	ADuC812		ЕДИНИЦЫ	УСЛОВИЯ И ПРИМЕЧАНИЯ
	V _{DD} =5В	V _{DD} =3В		
ТРЕБОВАНИЯ К ИСТОЧНИКУ ПИТАНИЯ ^{13, 14, 15}				
I _{DD} Нормальный режим ¹⁶	42		мА [макс.]	MCLKIN = 16МГц
	32	16	мА [сред.]	MCLKIN = 16МГц
	26	12	мА [сред.]	MCLKIN = 12МГц
	8	3	мА [сред.]	MCLKIN = 1МГц
I _{DD} Холостой режим	25			MCLKIN = 16МГц
	18	17	мА [сред.]	MCLKIN = 16МГц
	15	6	мА [сред.]	MCLKIN = 12МГц
	7	2	мА [сред.]	MCLKIN = 1МГц
I _{DD} Дежурный режим ¹⁷	20	20	мкА [макс.]	

ПРИМЕЧАНИЯ:

¹Спецификации используются после проведения калибровки.

²Температурный диапазон от -40°C до +85°C.

³Линейность гарантирована при нормальной работе МП ядра.

⁴Линейность может ухудшаться при программировании или стирании 640 байт ЭРПЗУ во время выполнения А-Ц преобразования из-за работы схемы зарядного насоса.

⁵Измерено при производстве при V_{DD}=5В после выполнения процедуры калибровки и только @ +25°C.

⁶Пользователю возможно потребуются выполнить процедуру калибровки для получения этих спецификаций, которые зависят от конфигурации.

⁷Диапазон коррекции при калибровке смещения и усиления определяется как диапазон напряжений, который ADuC812 может скомпенсировать при выполнении системной калибровки.

⁸Вычисление коэффициента шума (SNR) учитывают шумовую компоненту и искажения.

⁹Температурный сенсор измеряет непосредственно температуру кристалла, из этих результатов можно вычислить температуру окружающей среды.

¹⁰Линейность ЦАП вычисляется с учетом:

сокращенного диапазона кодов от 48 до 4095, для диапазона от 0 до V_{REF}

сокращенного диапазона кодов от 48 до 3995, для диапазона от 0 до V_{DD}

нагрузка ЦАП = 10кΩ и 50пФ.

¹¹Рабочие спецификации ЭРПЗУ такие же, как и в JEDEC спецификации A103 (сохранность данных) и в JEDEC предварительной спецификации A117 (допустимое число циклов программирования).

¹²Допустимое число циклов программирования оценивается в следующих условиях:

Режим = байтовое программирование, циклическое стирание страницы

Циклические данные = 00(H) до FF(H)

Время стирания = 20 мс

Время программирования = 100 мкс

¹³Токопотребление (I_{DD}) при других значений тактовой частоты MCLKIN определяется выражениями:

Нормальный режим (V_{DD} = 5В) I_{DD} = (1.6*MCLKIN)+6

Нормальный режим (V_{DD} = 3В) I_{DD} = (0.8*MCLKIN)+3

Холостой режим (V_{DD} = 5В) I_{DD} = (0.75*MCLKIN)+6

Холостой режим (V_{DD} = 3В) I_{DD} = (0.25*MCLKIN)+3

Где MCLKIN выражается в МГц, а результат I_{DD} в мА.

¹⁴I_{DD} ток выражается суммой аналогового и цифрового питания при работе MicroConverter в Нормальном Режиме.

¹⁵I_{DD} не измеряется в циклах стирания или программирования ЭРПЗУ; для этих циклов I_{DD} обычно увеличивается на 10мА.

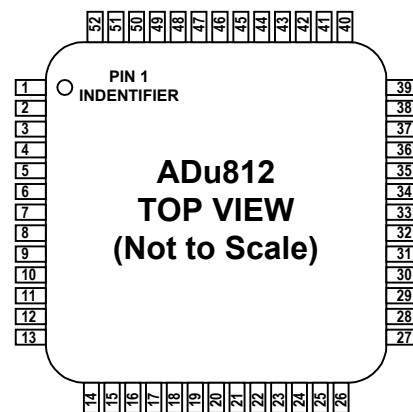
¹⁶Аналоговая часть I_{DD} = 2мА [сред.] при нормальной работе (внутренний ИОН, АЦП и ЦАП включены).

¹⁷EA = Порт0 = DV_{DD}, XTAL1 (вход), привязанный к DV_{DD}, во время этих измерений.

Средние (Typical) спецификации не проверяются, но подтверждаются данными при выпуске изделий. Спецификации изменяются без объявления. За дополнительной информацией обращайтесь к руководству пользователя, краткому справочнику, техническим замечаниям и списку ошибок.

ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ* (T=25°C, если не оговаривается особо)

AV _{DD} к DV _{DD}	-0.3 В .. +0.3 В
AGND к DGND	-0.3 В .. +0.3 В
DV _{DD} к DGND, AV _{DD} к AGND	-0.3 В .. +7В
Цифровой вход к DGND	-0.3В, DV _{DD} +0.3В
Цифровой выход к DGND	-0.3В, DV _{DD} +0.3В
V _{REF} к AGND	-0.3В, AV _{DD} +0.3В
Аналоговые входы к AGND	-0.3В, AV _{DD} +0.3В
Диапазон рабочих температур индустриальный (версия В)	-40°C .. +85°C
Температура хранения	-65°C .. +150°C
Температура перехода	+150°C
Температурное сопротивление (θ _{JA})	+90°C/Вт
Температура выводов при пайке:	
в паровой фазе (60 с)	+215°C
инфракрасная (15 с)	+220°C

**52 PIN PQFP**

* Превышение указанных выше предельных параметров может вызвать повреждение устройства. Эксплуатация устройства при предельных значениях параметров может повлиять на его надежность.

РАСПОЛОЖЕНИЕ КОНТАКТОВ ADuC812

№	Наименование	№	Наименование	№	Наименование	№	Наименование
1	P1.0/ADC0/T2	14	P1.7/ADC7	27	SDATA/MOSI	40	EA/Vpp
2	P1.1/ADC1/T2EX	15	RESET	28	P2.0/A8/A16	41	PSEN/
3	P1.2/ADC2	16	P3.0/RxD	29	P2.1/A9/A17	42	ALE
4	P1.3/ADC3	17	P3.1/TxD	30	P2.2/A10/A18	43	P0.0/AD0
5	AVdd	18	P3.2/INT0/	31	P2.3/A11/A19	44	P0.1/AD1
6	AGND	19	P3.3/INT1//MISO	32	XTAL1 (in)	45	P0.2/AD2
7	CREF	20	DVdd	33	XTAL2 (out)	46	P0.3/AD3
8	VREF	21	DGND	34	DVdd	47	DGND
9	DAC0	22	P3.4/T0	35	DGND	48	DVdd
10	DAC1	23	P3.5/T1/CONVST/	36	P2.4/A12/A20	49	P0.4/AD4
11	P1.4/ADC4	24	P3.6/WR/	37	P2.5/A13/A21	50	P0.5/AD5
12	P1.5/ADC5/SS/	25	P3.7/RD/	38	P2.6/A14/A22	51	P0.6/AD6
13	P1.6/ADC6	26	SCLOCK	39	P2.7/A15/A23	52	P0.7/AD7

СПРАВКА ДЛЯ ЗАКАЗА

Модель	Температурный диапазон	Описание корпуса	Тип корпуса
ADuC812BS	-40°C .. +85°C	52-контактный пластмассовый квадратный плоский (PQFP)	S-52

Система разработки программного обеспечения

QuickStart™ EVAL-ADuC812QS

ВНИМАНИЕ

Устройство чувствительно к электростатическим разрядам (ESD). Разряд до 4000В может произойти неконтролируемым образом при простом прикосновении. Несмотря на то, что устройство имеет цепи защиты, для сохранения его работоспособности следует предпринять соответствующие меры.



ОПИСАНИЕ КОНТАКТОВ

Мнемоника	Тип	Функция
DV _{DD}	P	Положительное номинальное цифровое питание +3В или +5В.
AV _{DD}	P	Положительное номинальное аналоговое питание +3В или +5В.
C _{REF}	I	Блокирующий конденсатор для внутреннего ИОН. 0.1мкФ на AGND
V _{REF}	I/O	ИОН Вход/Выход. Этот контакт внутри соединен через последовательный резистор с ИОН для АЦП. Номинальное напряжение ИОН 2.5В и появляется на контакте (как только АЦП и ЦАП разрешены). Внутренний ИОН подавляется подключением к этому контакту внешнего источника.
AGND	G	Аналоговая земля. Общая точка аналоговых цепей.
P1.0-P1.7	I	Порт1 только ввод, по умолчанию настраивается на ввод аналоговых сигналов, для конфигурирования контактов на цифровой ввод следует записать 0 соответствующий бит порта. Порт1 – многофункционален.
ADC0-ADC7	I	Аналоговые входы. 8 однофазных входов. Выбор канала осуществляется через регистр специального назначения (SFR) ADCCON2.
T2	I	Цифровой вход Таймера/Счетчика 2. Когда разрешен Счетчик 2 инкрементируется по перепаду 1-0 на входе T2.
T2EX	I	Цифровой вход для триггера Захвата/Перезагрузки Счетчика2, так же работает как вход управления направлением счета Счетчика2.
SS/	I	Выбор ведомого (Slave Select). Для синхронного интерфейса (SPI).
SDATA	I/O	Выбираемый пользователем ввод/вывод для I ² C и SPI.
SCLOCK	I/O	Синхронизация для I ² C и SPI.
MOSI	I/O	Для SPI Ведущий Выход/Ведомый Вход.
MISO	I/O	Для SPI Ведущий Вход/Ведомый Выход.
DAC0	O	Выходное напряжение с ЦАП 0.
DAC1	O	Выходное напряжение с ЦАП 1.
RESET	I	Цифровой вход. Высокий уровень сигнала на этом контакте в течение 24 периодов тактовой частоты при работающем осцилляторе вызывает выполнение устройством сброса.
P3.0-P3.7	I/O	Двунаправленный Порт3 с внутренними, подтягивающими к питанию резисторами. Контакты Порта3, с записанными в них 1 подтянуты вверх и могут использоваться как входы. При таком использовании, следует иметь в виду, что они дают ток во внешнюю цепь. Контакты Порта3 - мультиплексны.
RxD	I/O	Вход приемника асинхронного последовательного интерфейса (UART) или Вод/Вывод данных для синхронного.
TxD	O	Выход передатчика асинхронного последовательного интерфейса (UART) или Выход синхронизации для синхронного.
INT0/	I	Вход внешнего прерывания 0, программируется по перепаду/уровню; устанавливается один из 2-х уровней приоритета. Контакт может использоваться как строб управления для Таймера 0.
INT1/	I	Вход внешнего прерывания 1, программируется по перепаду/уровню; устанавливается один из 2-х уровней приоритета. Контакт может использоваться как строб управления для Таймера 1.
T0	I	Вход Таймера/Счетчика 0
T1	I	Вход Таймера/Счетчика 1.
CONVST/	I	Вход Запуска Преобразования АЦП (активный низкий уровень) при разрешенном внешнем запуске. Переход 0-1 переводит схему в режим хранения и запускает цикл преобразования.
WR/	O	Выход сигнала управления Записью. Защелкивает байт данных из Порта 0 во внешнюю память данных.
RD/	O	Выход сигнала управления Чтением. Разрешает ввод данных из внешней памяти в Порт 0.
XTAL2	O	Инвертирующий выход генераторного усилителя.
XTAL1	I	Вход усилителя и вход доступа к внутренним цепям генератора.
DGND	G	Цифровая земля. Общая точка цифровых цепей.

P2.0-P2.7 (A8-A15) (A16-A23)	I/O	Двунаправленный Порт 2 с внутренними, подтягивающими к питанию резисторами. Контакты Порта 2, с записанными в них 1 подтянуты вверх и могут использоваться как входы. При таком использовании, следует иметь в виду, что они дают ток во внешнюю цепь. При выборке памяти программ Порт 2 содержит старший байт адреса, при обращении к памяти данных порт выдает средний и старший байты 24-разрядного адресного пространства.
PSEN/	O	Выход строба разрешения внешней памяти программ. Является сигналом управления внешней памяти программ. Активен в течение 6 периодов тактового генератора, исключая время доступа к внешней памяти данных. Контакт находится в состоянии Лог.1 при работе с внутренней памятью программ. Его можно использовать для разрешения режима последовательной загрузки в ЭРПЗУ, для этого контакт подключается через последовательный резистор к земле на время включения питания или генерации сигнала RESET/.
ALE	O	Выход строба записи адреса. Используется для защелкивания младшего байта адреса (при 24-битном пространстве - среднего байта адреса) при обращении к внешней памяти. Активен дважды в одном машинном цикле, исключая обращение к внутренней памяти данных.
EA/	I	Вход разрешения доступа к внешней памяти программ. Если =1, выборка производится из внутренней памяти 0000H .. 1FFFH, если=0, то все инструкции выбираются из внешней памяти.
P0.0-P0.7 (A0-A7)	I/O	Двунаправленный Порт 0 с открытым истоком. Контакты порта с записанными в них 1 являются плавающими и могут быть высокоимпедансными входами. При обращении к внешней памяти программ или данных Порт0 мультиплексирован магистралями младшего байта адреса и данных. При такой операции порт подтянут внутренним образом при наличии в нем 1.

ТЕРМИНОЛОГИЯ

СПЕЦИФИКАЦИИ АЦП

Интегральная нелинейность

Представляет собой максимальное отклонение любого кода от прямой линии, проведенной через крайние точки передаточной функции АЦП. Крайними точками являются: нулевая - на $\frac{1}{2}$ LSB ниже точки появления первого кода и последняя - на $\frac{1}{2}$ LSB выше границы шкалы.

Дифференциальная нелинейность

Представляет собой разницу между измеренной и идеальной шириной 1 кванта (1 LSB) АЦП.

Ошибка смещения

Представляет собой отклонение момента первичной смены кода с (000H) до (001H) от идеального значения, т.е. $+\frac{1}{2}$ LSB.

Ошибка полной шкалы

Представляет собой отклонение момента последней смены кода от идеального входного напряжения, соответствующего (полной шкале- 1.5 LSB) после компенсации ошибки смещения.

Отношение сигнал/шум (SNR)

Представляет собой измеренное отношение сигнала к шуму на выходе АЦП. Сигнал - среднеквадратичный выходной сигнал с АЦП. Шум - среднеквадратичная сумма составляющих в полосе до ($f_s/2$ - половина частоты выборки), исключая постоянную составляющую. Отношение зависит от величины квантования в

процессе преобразования сигнала. Чем больше число квантов, тем меньше шум. Для идеального АЦП с синусоидальным сигналом на входе С/Ш равен $6.02 * N + 1.76$ (дБ), где N -число разрядов. Для 12-разрядного АЦП С/Ш = 74 дБ.

Коэффициент гармоник

Представляет собой отношение суммы среднеквадратичных сигналов гармоник к основной гармонике.

СПЕЦИФИКАЦИЯ ЦАП

Относительная точность

Относительная точность (линейность в конечной точке шкалы) это величина максимального отклонения функции передачи ЦАП от идеальной прямой, проведенной через крайние точки. Она измеряется после компенсации ошибок сдвига нуля и полной шкалы.

Время установления вых. напряжения

Представляет собой интервал времени, в течение которого выходное напряжение достигает заданного уровня при изменении входного кода до значения полной шкалы.

Импульсная помеха на аналоговом выходе со стороны цифрового входа

Представляет собой некоторую величину заряда, инжектированного на аналоговый выход при изменении входного кода. Помеха специфицируется площадью импульса в (нВ·с).

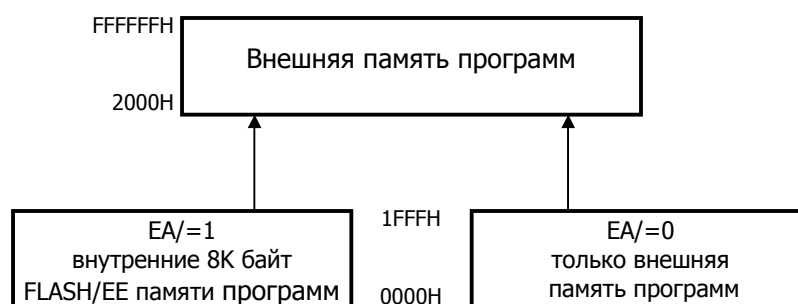
АРХИТЕКТУРА ADUC812 И ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

ADuC812 представляет собой 12-разрядную систему сбора информации высокой степени интеграции. Ядро системы представлено высокопроизводительным 8-разрядным микроконтроллером совместимым с 8051 MCU со встроенным неразрушаемым FLASH ЭРПЗУ и 12-разрядным АЦП. Для поддержки ядра системы сбора чип содержит в себе необходимые вторичные элементы. Они включают в себя Пользовательское ЭРПЗУ данных, Сторожевой таймер (WDT), Монитор питания (PSM), различные параллельные и последовательные интерфейсы промышленного стандарта.

ОРГАНИЗАЦИЯ ПАМЯТИ

Подобно любому 8051, ADuC812 имеет разделенное пространство памяти программ и данных, как показано на Рис.1. Для пользователя доступны 640 байт Пользовательского ЭРПЗУ в области данных. Пользовательское ЭРПЗУ доступно косвенно через группу регистров управления в области Регистров Специального Назначения (Special Function Registers - SFR).

Пространство памяти программ (только чтение)



Пространство памяти данных (чтение/запись)

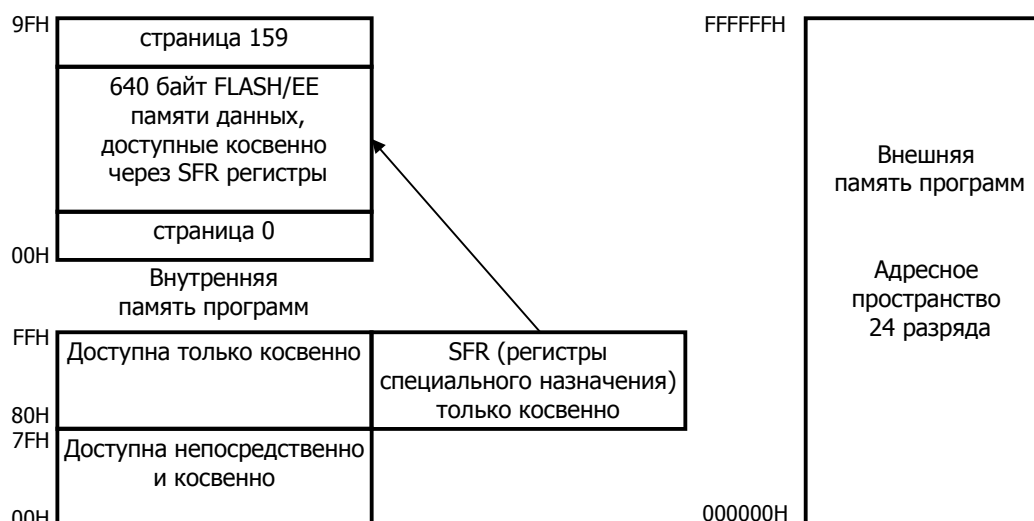


Рис.1. Распределение памяти программ и данных.

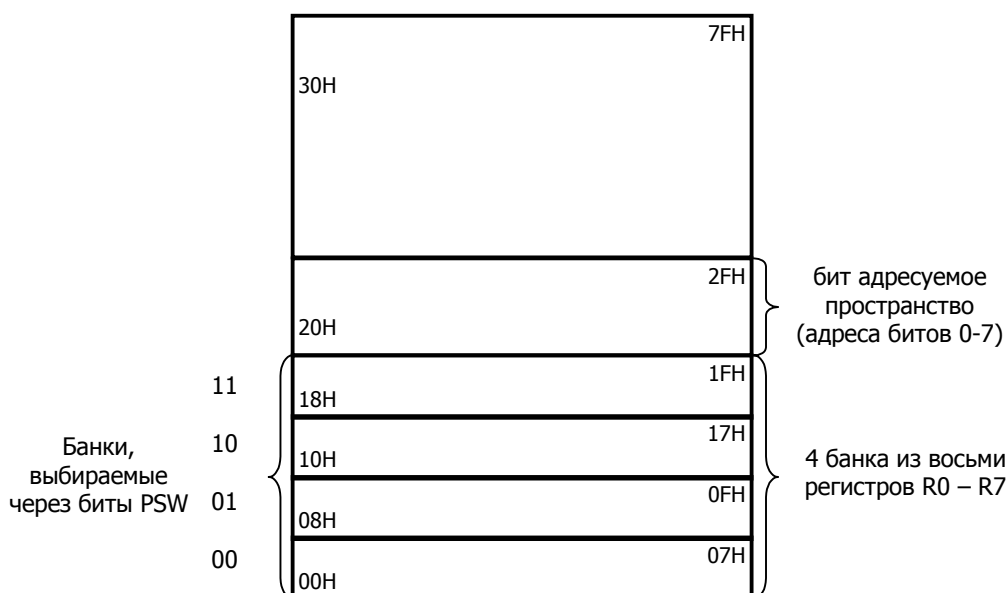


Рис.2. 128 нижних байт внутренней памяти ОЗУ.

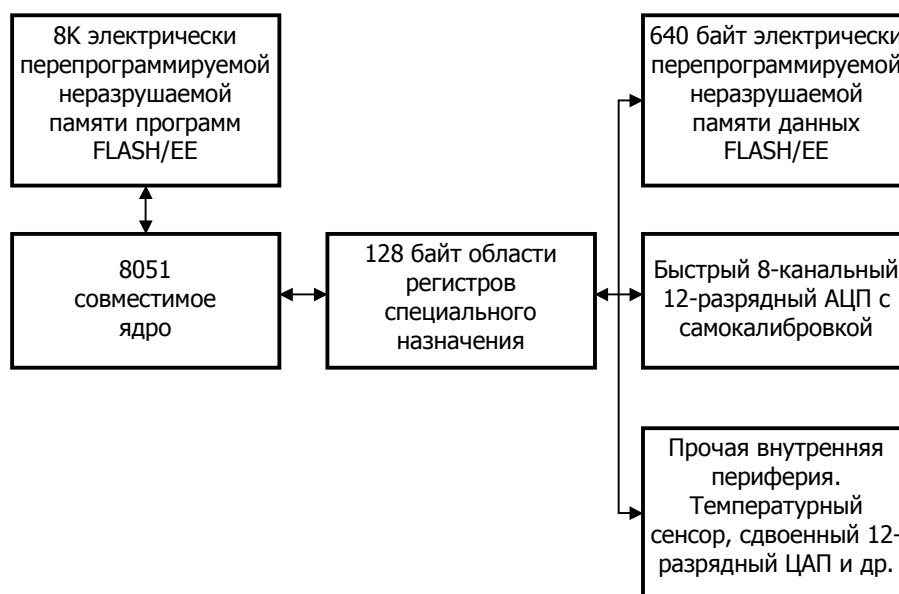


Рис.3. Программная модель ADuC812.

Пространство от 0 до 31 байта разделено на 4 банка по 8 регистров с R0 по R7. Следующие 128 бит (16 байт), над банками, формируют блок бит адресуемой памяти с адресами 00H до 7FH.

Пространство Регистров Специального Назначения (SFR) расположено в верхних 128 байтах внутренней памяти. SFR адресуются только непосредственно и они служат интерфейсом между CPU и всей периферией. На Рис.3. приведена модель программирования через SFR

ЦЕПИ АЦП

Общий обзор

Блок АЦП включает в себя восьмиканальный пяти микросекундный А/Ц преобразователь с однополярным питанием. Пользователю предоставлены многоканальный мультиплексор, устройство выборки-хранения, встроенный ИОН, система калибровок и собственно АЦП. Все компоненты блока легко управляется через три интерфейсных регистра специального назначения.

А/Ц преобразователь состоит из стандартного конвертера последовательного приближения и емкостного ЦАП. Конвертер получает аналоговые входные сигналы в диапазоне 0 - V_{ref} . На кристалле расположен ИОН - прецизионный блок с низким дрейфом, откалиброванный изготовителем до 2.5В. На контакте V_{ref} внутренний ИОН может быть подавлен внешним. Внешний ИОН может быть в диапазоне от 2.3В до V_{ref} .

Однократный или повторяющийся режимы преобразования могут выполняться программно или подачей внешнего сигнала Запуска Преобразования на контакт 25 (CONVST/). Также для инициирования повторяющегося процесса преобразования можно использовать сигналы Таймера2. АЦП можно установить в режим передачи данных по каналу прямого доступа к памяти - ПДП (DMA), когда блок повторяет циклы преобразования и посылает выборки во внешнюю память данных (RAM), минуя процессор. Этот процесс может охватывать весь объем внешней памяти 16МБ.

ADuC812 поставляется с заводскими калибровочными коэффициентами, которые загружаются автоматически по включению питания, обеспечивая тем самым оптимальную работу устройства. Ядро АЦП содержит внутренние регистры калибровок Смещения и Усиления, причем, обеспечено, чтобы программная процедура калибровки пользователя подавляла заводские установки, давая тем самым минимум ошибок в конечной системе. Если необходимо, то через АЦП можно так же преобразовать сигнал внутреннего температурного сенсора (канал-9).

Функция передачи АЦП

Диапазон входных напряжений АЦП 0.. V_{ref} . Для этого диапазона напряжений смена соответствующих кодов происходит посередине между последовательными квантами (т.е. $1/2LSB$, $3/2LSBs$, $5/2LSBs$, ..., $FS-3/2LSBs$). Выходной код - прямая в двоичном коде с $1LSB=FS/4096$ или $2.5В/4096=0.61мВ$ при $V_{ref}=2.5В$. Идеализированная функция передачи от 0 до V_{ref} показана на Рис.4.

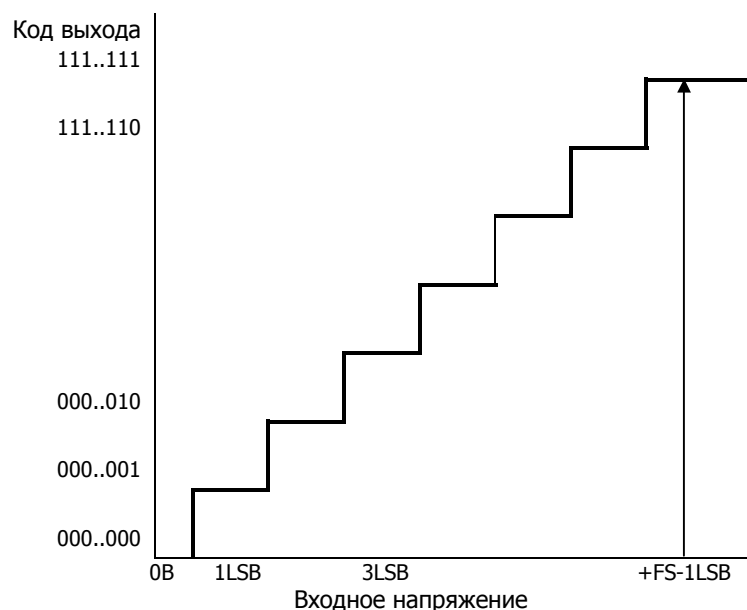


Рис.4. Функция передачи ADuC812.

SFR ИНТЕРФЕЙС К АЦП

Работа АЦП полностью контролируется тремя SFR: **ADCCON1**, **ADCCON2** и **ADCCON3**.

ADCCON1 - (SFR #1 управления АЦП)

MD1	MD0	CK1	CK0	AQ1	AQ0	T2C	EXC
-----	-----	-----	-----	-----	-----	-----	-----

Регистр ADCCON1 управляет преобразованием, временем переключения, режимами преобразования и потреблением устройства.

Адрес SFR	EFH
Значение SFR по включению питания	20H
Наличие битовой адресации	нет

Таблица I. Распределение разрядов регистра ADCCON1.

Расположение бит	Мнемоника	Описание												
ADCCON1.7 ADCCON1.6	MD1 MD0	Биты режима выбирают режимы работы АЦП следующим образом: MD1 MD0 Режим АЦП <table> <tr><td>0</td><td>0</td><td>Дежурный</td></tr> <tr><td>0</td><td>1</td><td>Нормальный</td></tr> <tr><td>1</td><td>0</td><td>Дежурный, если не выполняется цикл преобразования</td></tr> <tr><td>1</td><td>1</td><td>Холостой, если не выполняется цикл преобразования</td></tr> </table>	0	0	Дежурный	0	1	Нормальный	1	0	Дежурный, если не выполняется цикл преобразования	1	1	Холостой, если не выполняется цикл преобразования
0	0	Дежурный												
0	1	Нормальный												
1	0	Дежурный, если не выполняется цикл преобразования												
1	1	Холостой, если не выполняется цикл преобразования												
ADCCON1.5 ADCCON1.4	CK1 CK0	Биты деления тактовой частоты, выбирают коэффициент деления основной частоты микропроцессора для получения тактовой частоты АЦП. Цикл преобразования АЦП занимает 16 тактов, в дополнении к числу тактов переключения (см. ниже AQ0-AQ1). Коэффициент выбирается из: CK1 CK0 Делитель для MCLK <table> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>1</td><td>8</td></tr> </table>	0	0	1	0	1	2	1	0	4	1	1	8
0	0	1												
0	1	2												
1	0	4												
1	1	8												
ADCCON1.3 ADCCON1.2	AQ1 AQ0	Биты задержки переключения, выбирают время, необходимое для перезарядки УВХ при переключении мультиплексора: AQ1 AQ0 Число тактов задержки запуска АЦП <table> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>0</td><td>3</td></tr> <tr><td>1</td><td>1</td><td>4</td></tr> </table> <p>Примечание: при импедансе входного источника сигналов менее 8 КОм (AQ1-AQ0=00 т.е. AQ=1). Иначе задержку увеличивают до 2 - 4 тактов.</p>	0	0	1	0	1	2	1	0	3	1	1	4
0	0	1												
0	1	2												
1	0	3												
1	1	4												
ADCCON1.1	T2C	Бит запуска преобразования от Таймера2. Если бит установлен, то сигнал переполнения Таймера2 используется для запуска АЦП.												
ADCCON1.0	EXC	Бит разрешения внешнего запуска. Если установлен, то контакт 23 (CONVST/) будет использоваться как сигнал запуска (активный низкий должен быть не менее 100 нс).												

Замечание: Если АЦП находится в Холостом Режиме, Vref удерживается включенным, в то время как в Дежурном Режиме вся периферия АЦП выключена. Среднее потребление тока блоком АЦП = 1.6 мА при Vdd = 5В.

ADCCON2 - (SFR #2 управления АЦП)

ADCI	DMA	CCONV	SCONV	CS3	CS2	CS1	CS0
------	-----	-------	-------	-----	-----	-----	-----

Регистр ADCCON2 управляет выбором номера канала и режимами преобразования.
 Адрес SFR D8H
 Значение SFR по включению питания 00H
 Наличие битовой адресации есть

Таблица II. Распределение разрядов регистра ADCCON2.

Расположение бит	Мнемоника	Описание
ADCCON2.7	ADCI	Бит прерывания АЦП устанавливается аппаратно по окончании однократного цикла преобразования АЦП или по окончании передачи блока в режиме ПДП. ADCI очищается аппаратно при переходе по вектору на Процедуру Обслуживания Прерывания.
ADCCON2.6	DMA	Бит разрешения режима ПДП. Устанавливается пользователем для начала операции ПДП со стороны АЦП.
ADCCON2.5	CCONV	Бит циклического преобразования. Устанавливается пользователем для установки АЦП в режим непрерывного циклического преобразования. В этом режиме АЦП выполняет преобразование в соответствии с типом синхронизации и конфигурацией каналов, выбранными в других SFR.
ADCCON2.4	SCONV	Бит запуска однократного преобразования. Устанавливается пользователем для однократного запуска АЦП. Бит сбрасывается автоматически по завершению преобразования.
ADCCON2.3 ADCCON2.2 ADCCON2.1 ADCCON2.0	CS3 CS2 CS1 CS0	Биты выбора входных каналов (CS3..CS0). Позволяют осуществлять выбор номера канала АЦП под управлением программы. Преобразование будет выполняться для канала, номер которого указан данными битами. В режиме ПДП выбор номера канала осуществляется из ID канала, записанного во внешней памяти. CS3 CS2 CS1 CS0 CH# 0 n2 n1 n0 Номер входного канала (n2n1n0) 1 0 0 0 Температурный сенсор (внутренний) 1 X X X Другие комбинации 1 1 1 1 Останов ПДП

ADCCON3 - (SFR #3 управления АЦП)

BUSY	RSVD	RSVD	RSVD	CTYP	CAL1	CAL0	CALST
------	------	------	------	------	------	------	-------

Регистр ADCCON3 Дает индикацию занятости АЦП для прикладных программ.
 Адрес SFR F5H
 Значение SFR по включению питания 00H
 Наличие битовой адресации нет

Таблица III. Распределение разрядов регистра ADCCON3.

Расположение бит	Мнемоника	Описание
ADCCON3.7	BUSY	Бит занятости АЦП (только для чтения). Устанавливается на время преобразования или калибровки АЦП. Автоматически очищается по завершению циклов преобразования или калибровки.
ADCCON3.6-3.0	RSVD	Биты ADCCON3.0-ADCCON3.6 - зарезервированы. Они считываются с нулевым значением, и их следует записывать только нулями.

ВСТРОЕННЫЙ ИОН АЦП

Если используется внутренний ИОН оба контакта V_{ref} и C_{ref} должны быть заблокированы конденсаторами 100 нФ на аналоговую землю AGND. Емкости следует располагать к контактам так близко, как это только возможно. Для правильной работы устройства при использовании внешнего ИОН его величина должна быть в пределах от 2.3 В до аналогового питания AVdd. Если требуется, чтобы внутренний ИОН использовался вне устройства, его необходимо буферизовать от контакта V_{ref} , так же следует использовать конденсатор емкостью 100 нФ на AGND. Внутренний ИОН калибруется на заводе с точностью $2.5 \text{ В} \pm 50 \text{ мВ}$. Следует отметить, что внутренний ИОН будет выключен до тех пор пока ЦАП или АЦП не будут включены соответствующими битами разрешения.

КАЛИБРОВКА

Блок АЦП имеет четыре SFR, ответственные за проведение калибровки. Эти регистры управляют логикой калибровки, гарантируя оптимальную работу 12-разрядного АЦП. Являясь частью логики инициализации по включению питания, эти регистры автоматически и прозрачно для пользователя загружаются константами, запрограммированными при производстве устройства. Во многих приложениях использование заводских констант является достаточным, однако иногда для компенсации ошибок коэффициента усиления и смещения нуля всей системы в целом заводские константы могут быть подавлены пользовательскими, загружаемыми в SFR.

Блок АЦП включает в себя аппаратуру, которая гарантирует оптимальную работу АЦП. Режимы калибровки выполняются как часть заводских процедур конечного тестирования. Результаты заводской калибровки записываются в ЭРПЗУ и автоматически перегружаются в регистры калибровки при инициализации АЦП по включению питания. Во многих приложениях эта функция автокалибровки является достаточной. В противном случае, для компенсации значительных изменений эксплуатационных условий (например, тактовой частоты, диапазона входных сигналов, напряжения питания или ИОН), калибровку можно выполнить с помощью пользовательских программ. Это свойство встроенной программной калибровки позволяет ликвидировать системные ошибки (какой бы характер они не носили: внутренний или внешний) и использовать весь динамический диапазон АЦП путем подстройки диапазона входных сигналов для каждой конкретной системы. Для получения дополнительной информации по применению процедур калибровки в ваших конкретных приложениях смотрите технические замечания.

РЕЖИМЫ РАБОТЫ АЦП

Как только АЦП сконфигурирован с помощью ADCCON1-3, он начнет преобразовывать аналоговые входные сигналы и давать 12-разрядные выходные коды в регистрах ADCDATAH(L). В четырех разрядах ADCDATAH хранится номер канала. Формат слова результата показан на Рис.5.

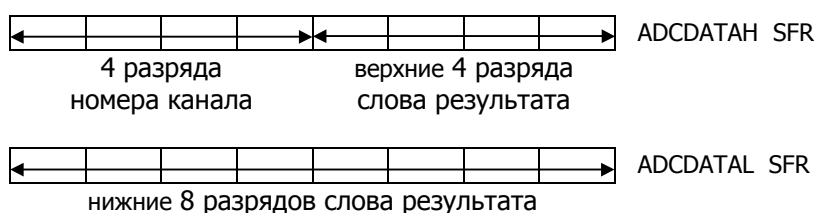


Рис.5. Формат слова результата АЦП.

Режим ПДП

Внутренний АЦП сконструирован таким образом, что может осуществлять выборки каждые 5 мкс. Таким образом, от пользовательских программ требуется обслужить прерывание, прочитать результат и записать его для дальнейшей обработки, и выполнить это в течение 5 мкс, иначе результат следующей выборки можно потерять. Для приложений, где устройство не может поддерживать высокую скорость обработки прерываний существует режим прямого доступа к памяти (ПДП).

Режим ПДП включается битом разрешения ПДП (ADCCON2.6), позволяющим АЦП выполнять циклические выборки, как при конфигурировании через ADCCON SFR. Результат каждой выборки записывается во внешнюю статическую память (СЗУПВ), минуя микропроцессорное ядро. Этот режим работы гарантирует выполнение циклических выборок с максимальной скоростью. До включения режима ПДП необходимо разметить внешнюю память, в которую будут записываться выборки. Разметка состоит в записи идентификаторов номеров каналов ID (четыре старших разряда) во внешней памяти. На Рис.6. показана типовая разметка внешней памяти

00000AH	1	1	1	1		команда СТОП ПДП
	0	0	1	1		повторить последний канал
	0	0	1	1		преобразовать канал №3
	1	0	0	0		преобразовать Температурный Сенсор
	0	1	0	1		преобразовать канал №5
000000H	0	0	1	0		преобразовать канал №2

Рис.6. Типовая разметка внешней памяти для режима ПДП.

После разметки заносится значение указателя памяти ПДП в регистры DMAP, DMAH и DMAL. В этих SFR следует указывать стартовый адрес ПДП во внешней памяти. Например, 000000H, как в примере на Рис.6. Три байта стартового адреса следует записывать в следующем порядке: DMAL, DMAH и DMAP. Конец таблицы ПДП обозначается записью «1 1 1 1» в поле выбора канала. Теперь, для запуска ПДП и передачи результатов в последовательные ячейки внешней памяти можно установить бит разрешения (ADCCON2.6, DMA). Помните, что режим ПДП включится только тогда, когда пользователь предварительно установит время преобразования и режим запуска через SFR ADCCON1 и ADCCON2. Окончание ПДП преобразования устанавливается битом прерывания АЦП в ADCCON2.7. По окончании ПДП внешняя память данных окажется загруженной новыми результатами работы АЦП, как показано на Рис.7. Следует отметить, что результаты разметки сохраняются.

00000AH	1	1	1	1		сюда не записывается
	x	x	x	x	x	Результат преобразования
	0	0	1	1	x	для канала №3
	x	x	x	x	x	Результат преобразования
	0	0	1	1	x	для канала №3
	x	x	x	x	x	Результат преобразования
	1	0	0	0	x	для канала Температурного Сенсора
	x	x	x	x	x	Результат преобразования
	0	1	0	1	x	для канала №5
	x	x	x	x	x	Результат преобразования
000000H	0	0	1	0	x	для канала №2

Рис.7. Типовое содержание внешней памяти после окончания режима ПДП.

Микрооперации во время выполнения режима ПДП

Во время ПДП преобразования ядро свободно для выполнения кода программы, включая внутреннее обслуживание и связь. Однако, следует особо отметить, что доступ MCU к Портам2 и 3 (которые используются контроллером ПДП) во время выполнения ПДП блоком АЦП запрещен. Это означает, что если даже при выполнении программы встретится обращение к Портам2 или 3, данных на внешних контактах этих портов не будет. Как только требуемый блок данных по ПДП будет набран и записан во внешнюю память, MicroConverter вызывает прерывание, что позволяет выполнять постобработку данных без потери времени.

SFR ИНТЕРФЕЙС К БЛОКУ ЦАП

ADuC812 на кристалле содержит два 12-разрядных Ц/А преобразователя. Один SFR управления и четыре SFR данных осуществляют управление работой ЦАП:

DAC0L/DAC1L	- содержат 8 младших разрядов данных ЦАП
DAC0H/DAC1H	- содержат 4 старших разрядов данных ЦАП
DACCON	- содержат биты управления ЦАП общего назначения

При нормальной работе каждый ЦАП модифицируется только тогда, когда записывается младшая часть разряда SFR (DACxL). Можно модифицировать оба ЦАП одновременно, используя бит SYNC в регистре SFR DACCON. При 8-разрядной работе байт, записанный в регистры DACxL, автоматически направляется в верхнюю часть 12-разрядного регистра данных ЦАП.

DACCON (SFR управления АЦП)

ADCI	DMA	CCONV	SCONV	CS3	CS2	CS1	CS0
------	-----	-------	-------	-----	-----	-----	-----

Адрес SFR	FDH
Значение SFR по включению питания	04H
Наличие битовой адресации	нет

Таблица IV. Распределение разрядов регистра DACCON.

Расположение бит	Мнемоника	Описание
DACCON.7	MODE	Бит устанавливает режим работы обоих ЦАП. Если = 1, то 8-разрядный (запись восьми бит в DACxL SFR). Если = 0, то 12-разрядный.
DACCON.6	RNG1	Бит выбора диапазона ЦАП1. Если = 1, то диапазон ЦАП1 0 .. Vdd. Если = 0, то диапазон ЦАП1 0 .. Vref.
DACCON.5	RNG0	Бит выбора диапазона ЦАП0. Если = 1, то диапазон ЦАП0 0 .. Vdd. Если = 0, то диапазон ЦАП0 0 .. Vref.
DACCON.4	CLR1	Бит очистки ЦАП1. Если = 1, то выход ЦАП1 соответствует коду. Если = 0, то выход ЦАП1 = 0В.
DACCON.3	CLR0	Бит очистки ЦАП0. Если = 1, то выход ЦАП0 соответствует коду. Если = 0, то выход ЦАП0 = 0В.
DACCON.2	SYNC	Бит синхронизации ЦАП0/1. Если = 1, то выходы ЦАП изменяются одновременно, как только данные попадают в регистры DACxL SFR. Можно одновременно обновить выходы обоих ЦАП путем предварительной записи данных в DACxL/H при SYNC=0. Выходы ЦАП одновременно обновятся теперь при установке SYNC = 1.
DACCON.1	PD1	Бит выключения ЦАП1. Если = 1, то ЦАП1 включен. Если = 0, то ЦАП1 выключен.
DACCON.0	PD0	Бит выключения ЦАП0. Если = 1, то ЦАП0 включен. Если = 0, то ЦАП0 выключен.

НЕРАЗРУШАЕМАЯ ПАМЯТЬ

Обзор FLASH памяти

ADuC812 включает в себя внутреннее ЭРПЗУ, выполненное по FLASH технологии для предоставления пользователю неразрушаемой, программируемой в системе памяти программ (кода) и данных. FLASH РПЗУ - новейший тип в технологии памяти и основывается на архитектуре одно-транзисторной ячейки. Эта технология вышла из известной технологии создания ЭПЗУ и была разработана в конце 1980-х годов. FLASH память обладает гибкостью программирования в системе (изделии), присущей электрически стираемой программируемой памяти (ЭСПЗУ) и минимальным объемом, присущем электрически программируемой памяти (ЭПЗУ) (см. Рис.8.).

Так как FLASH технология базируется на архитектуре одно-транзисторной ячейки, то FLASH память, подобно ЭПЗУ, можно применять в изделиях, где требуется очень высокая плотность размещения памяти. Подобно ЭСПЗУ FLASH память можно программировать в составе системы на уровне байтов, хотя прежде она должна быть стерта; причем, стирание выполняется блоками. Таким образом, FLASH память часто и, более правильно, называют FLASH/EE память (с электрическим стиранием).

В итоге, FLASH/EE память представляет следующий шаг в направлении идеального устройства памяти, обладающего свойством не разрушаемости, программируемостью в составе системы, высокой плотностью упаковки и низкой стоимостью. FLASH/EE память в составе ADuC812 позволяет модифицировать программный код дистанционно в узлах системы без необходимости их смены в случае однократно программируемых устройств (ОТР).

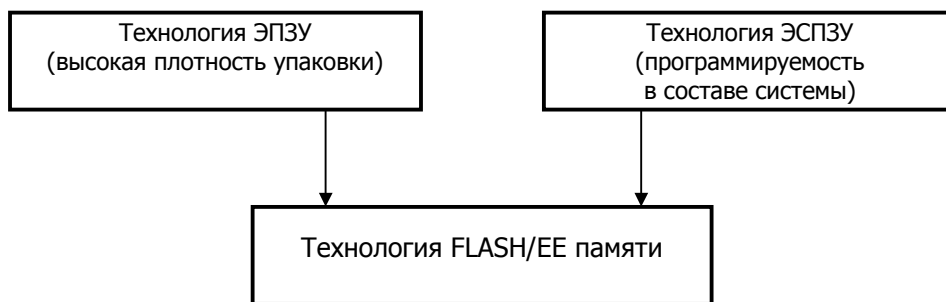


Рис.8. Разработка FLASH памяти.

FLASH/EE память и ADuC812

Для приложений пользователя ADuC812 предоставляет два массива FLASH/EE памяти. 1) 8К байт внутренней FLASH/EE памяти программ для выполняемого кода без необходимости установки внешней дискретной памяти ПЗУ. Эту память можно программировать стандартными программаторами от третьих производителей. Кроме того, данную память можно программировать в составе системы, используя имеющийся режим последовательной загрузки. 2) 640 байт внутренней FLASH/EE памяти данных. Она может использоваться как неразрушаемая память данных общего применения. Доступ к данной памяти осуществляется через группу из шести SFR регистров. Память можно программировать на байтовом уровне, но сначала ее следует стереть 4-х байтовыми секторами.

Использование FLASH/EE памяти программ

Это 8К байт FLASH/EE памяти программ в нижней части 64 КБ полной памяти программ, адресуемой устройством и они используются для пользовательского кода его приложений. Память программ может быть запрограммирована одним из двух способов:

Последовательная загрузка (программирование в составе системы)

ADuC812 обладает программой загрузки кода через стандартный асинхронный последовательный порт (UART), являющейся частью заводского загрузчика. Режим последовательной загрузки включается автоматически при подаче питания, если контакт PSEN/ подключен через внешний резистор на землю, как показано на Рис.9. Находясь в этом режиме, можно загружать код в память программ в то время, как устройство находится в составе аппаратуры конечной системы. Программа загрузки с PC так же существует как часть системы разработки QuickStart для ADuC812. Протокол последовательной загрузки детализирован в технических замечаниях по применению ADuC812.

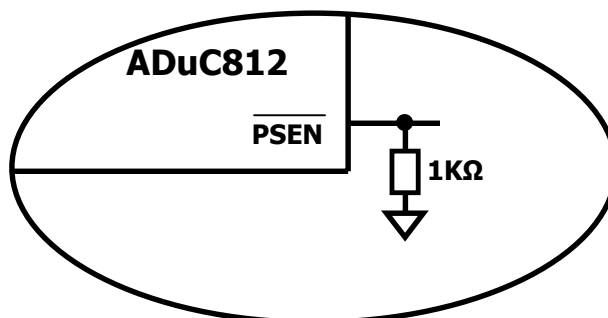


Рис.9. Программирование FLASH/EE памяти в режиме последовательной загрузки.

Параллельное программирование

Режим параллельного программирования полностью совместим с работой стандартных программаторов FLASH/EE памяти, поставляемых другими поставщиками. На Рис.10. приводится блок-схема и конфигурация внешних контактов, требуемых для поддержки параллельного программирования. В этом режиме Порты P0, P1 и P2 работают как интерфейсные магистрали внешних данных и адреса, сигнал ALE служит стробом разрешения записи, а Порт P3 используется в качестве порта общей конфигурации, задающего при параллельном программировании режимы программирования и стирания. Источник высокого напряжения (12В), необходимый для программирования FLASH/EE памяти выполнен на кристалле в виде «зарядного насоса».

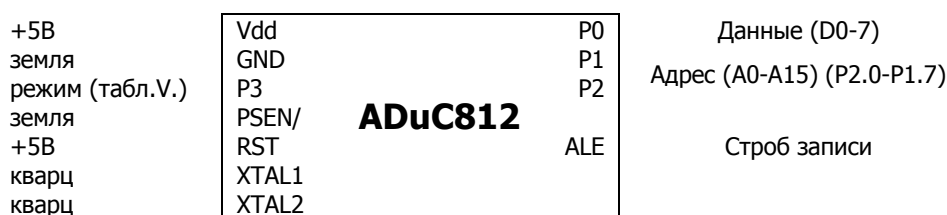


Рис.10. Параллельное программирование FLASH/EE памяти.

Таблица V. Режимы программирования FLASH/EE памяти

Контакты Порты (P3.0-P3.7)	Режим программирования
7 6 5 4 3 2 1 0	
1 X X X 0 0 0 1	Стирание FLASH программ, Стирание FLASH данных
1 X X X 0 0 1 1	Чтение идентификаторов производителя и кристалла
1 X X X 0 1 0 1	Программирование байта
1 X X X 0 1 1 1	Чтение байта
1 X X X 1 0 0 1	Зарезервирована
1 X X X 1 0 1 1	Зарезервирована
Остальные коды	Резервные

Использование памяти данных

Память данных пользователя состоит из 640 байт, которые составляют 160 (от 00H до 9FH) четырехбайтовых страниц, как показано на Рис.11. Как и для прочей периферии, доступ к этой памяти производится через SFR регистры. Группа из 4-х регистров (EDATA1-4) используется для хранения данных четырех байт страницы из последнего обращения. EADRL используется для хранения адреса страницы, куда будет осуществляться доступ. И, наконец, ECON - 8-разрядный регистр управления, в который записывается одна из пяти команд управления доступом к памяти, допускающие различные операции чтения, записи, стирания и верификации. Блок-схема регистрового интерфейса к памяти показана на Рис.12.



Рис.11. Конфигурация FLASH/EE памяти пользователя.

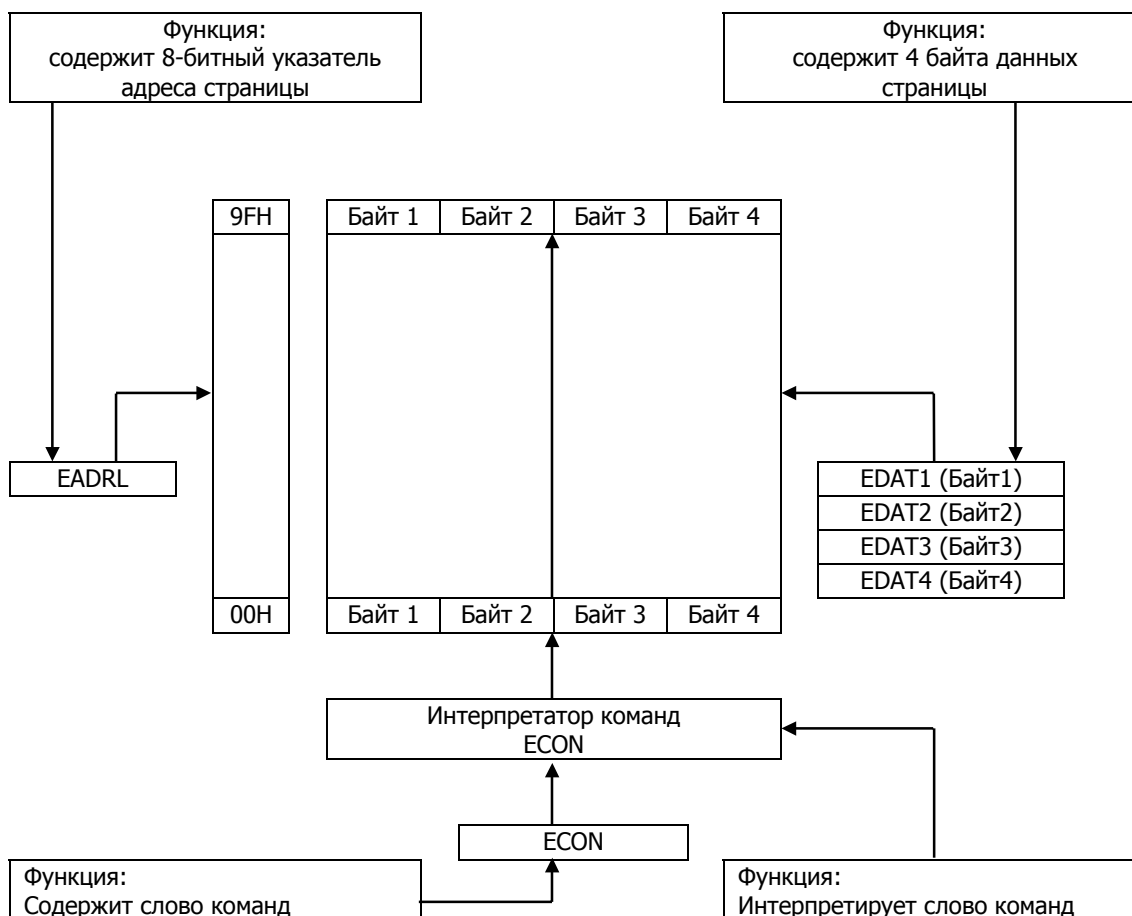


Рис.12. Управление FLASH/EE памятью пользователя.

ECON (Регистр управления памятью)

Регистр является интерпретатором команд и в него можно записать одну из пяти чтения, программирования и стирания, как указано в Таблице VI.

Таблица VI. Регистр управления памятью ECON

Байт управления	Команда
01H	Команда Чтения. Результаты заносятся в регистры EDATA 1-4 со страницы, адрес которой содержится в EADRL.
02H	Команда Записи. Данные, содержащиеся в 4-х байтах (EDATA 1-4) записываются в память по адресу, указанному в EADRL. Предполагается, что обозначенная для записи страница предварительно стерта.
03H	Резервная команда. Не использовать.
04H	Команда Верификации. Позволяет пользователю проверить данные, которые содержатся в EDATA 1-4 с уже записанными по адресу указателя EADRL. Следующее чтение ECON SFR даст ноль, если проверка прошла успешно и не ноль, в противном случае.
05H	Команда Стирания. Приводит к стиранию страницы, адрес которой указан в EADRL.
06H	Команда Стирать Все. Приводит к стиранию всей памяти пользователя (640 байт).
07H .. FFH	Резервные команды. Зарезервированы для дальнейшего применения.

Временные соотношения при записи и стирании FLASH/EE памяти

Средние временные соотношения для FLASH/EE памяти составляют:

- ◆ Стирание всего массива (640 байт) - 20 мс
- ◆ Стирание одной страницы (4 байта) - 20 мс
- ◆ Программирование страницы (4 байта) - 250 мкс
- ◆ Чтение страницы (4 байта) - 1 командный цикл.

Использование интерфейса к FLASH/EE памяти

Как в случае памяти программ, данная память может быть запрограммирована в составе системы побайтно, при этом, она предварительно должна быть стерта страничными блоками.

Типовой цикл доступа к FLASH/EE памяти включает в себя установку адреса страницы доступа EADRL SFR, запись данных для программирования в EDATA 1-4 (в случае чтения - не записываются) и, наконец, запись команды в ECON, инициирующей действие в соответствии с Таблицей VI.

Следует отметить, что заданный режим работы инициируется по записи слова команды в ECON SFR. При этом микропроцессорное ядро переходит в холостой режим и находится там до тех пор, пока выполнение команды не завершится.

На практике это означает, что даже если режим работы с FLASH/EE памятью инициируется двумя машинными циклами (инструкция MOV для записи в ECON SFR), следующая инструкция будет выполнена только после окончания цикла обслуживания FLASH/EE памяти (т.е. спустя 250 мкс или 20 мс). Это означает, что ядро не будет обслуживать запросы на прерывание до тех пор, пока операция с FLASH/EE памятью не завершится, хотя функции управления ядра периферией будет выполняться, как, например, продолжение счета времени/событий Счетчиками/Таймерами на протяжении всего псевдохолостого режима.

Стирание всей памяти

Хотя 640-байтовая FLASH/EE память пользователя отгружается с завода стертой, т.е. в ячейки записан код FFH, является хорошей практикой включать цикл Стереть Всю Память при выполнении процедур ее реконфигурирования. Команда Стереть Все состоит в записи в регистр ECON SFR кода 06H, при этом инициируется стирание всех 640 байт памяти. На ассемблере это выглядит следующим образом:

```
MOV ECON, #06H
;Команда Стереть Все
;Длительность 20 мс
```

Программирование байта

Вообще говоря, в FLASH/EE памяти запрограммировать байт можно только тогда, когда этот байт был предварительно стерт (в ячейке записано FFH). Вследствие особенности архитектуры FLASH/EE памяти, стирание можно производить только для 1 страницы (минимум 4-байта) при инициировании Команды Стирания.

Пример процесса побайтного программирования графически показан на Рис.13. В этом примере во второй байт на странице 03H пользовательской FLASH/EE памяти записывается код F3H. Однако страница 03H уже содержит данные в четырех байтах, а пользователю требуется изменить только содержимое одного байта; всю страницу следует сначала прочитать с тем, чтобы можно было стереть содержимое этой страницы без потери данных.

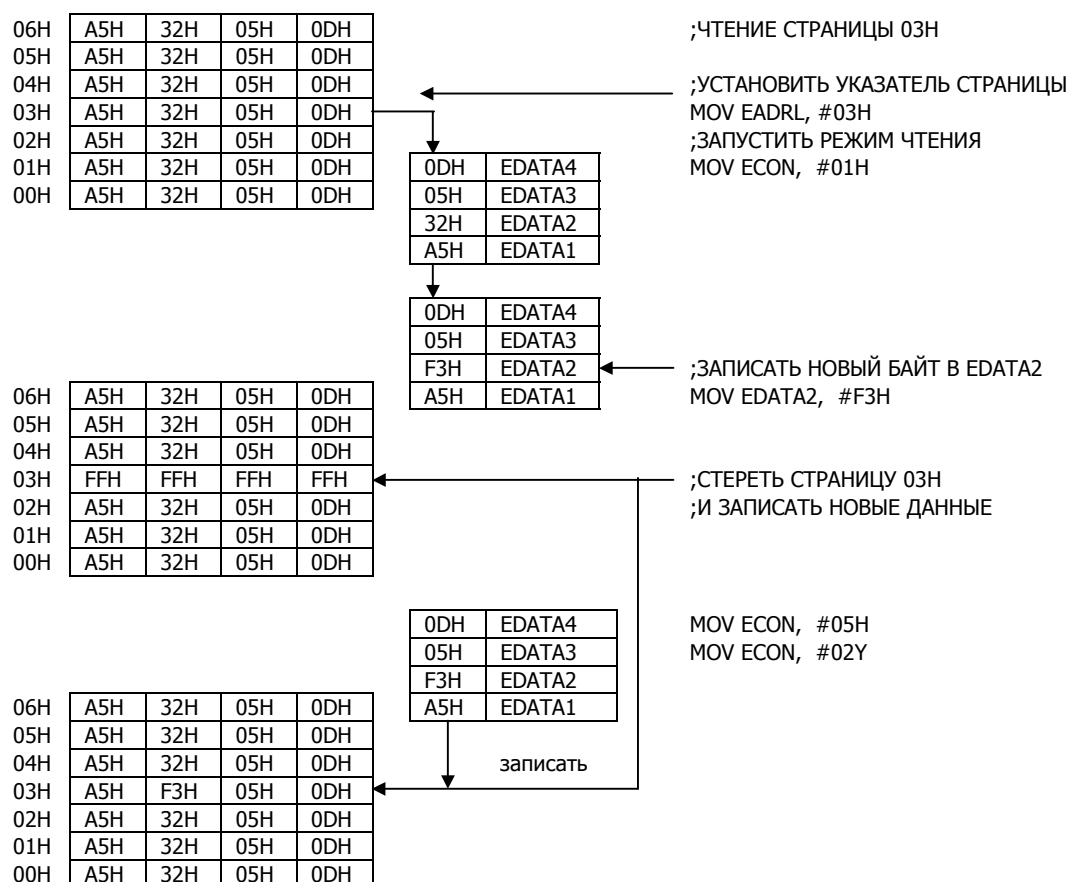


Рис.13. Пример программирования байта памяти пользователя.

Затем новый байт записывается в EDATA SFR вслед за циклом стирания. Если попытаться начать цикл Программирования (ECON=02H), не выполняя цикла Стирания (ECON=05H), то в этом случае будут модифицированы только те разряды, которые содержат единицы, т.е. для правильной записи массива необходимо выполнить его предварительное стирание. Следует отметить, что циклы стирания страницы и всей памяти имеют одинаковую длительность – 20 мс. Ассемблерный код приведенного примера выглядит следующим образом:

```

MOV EADRL, #03H    ;Установка указателя страницы
MOV ECON, #01H     ;Команда Чтения Страницы
MOV EDATA2, #0F3H ;Запись нового байта
MOV ECON, #02H     ;Команда стирания страницы
MOV ECON, #05H     ;Команда Программирования Страницы

```

СИСТЕМА ПРЕРЫВАНИЙ

ADuC812 обеспечивает восемь источников и два уровня прерываний. На Рис.14. приводятся прерывания данного уровня в порядке убывания приоритета, там же дается общий обзор источников прерываний, флагов запросов и управления. Адреса векторов прерываний приводятся в Таблице VII.

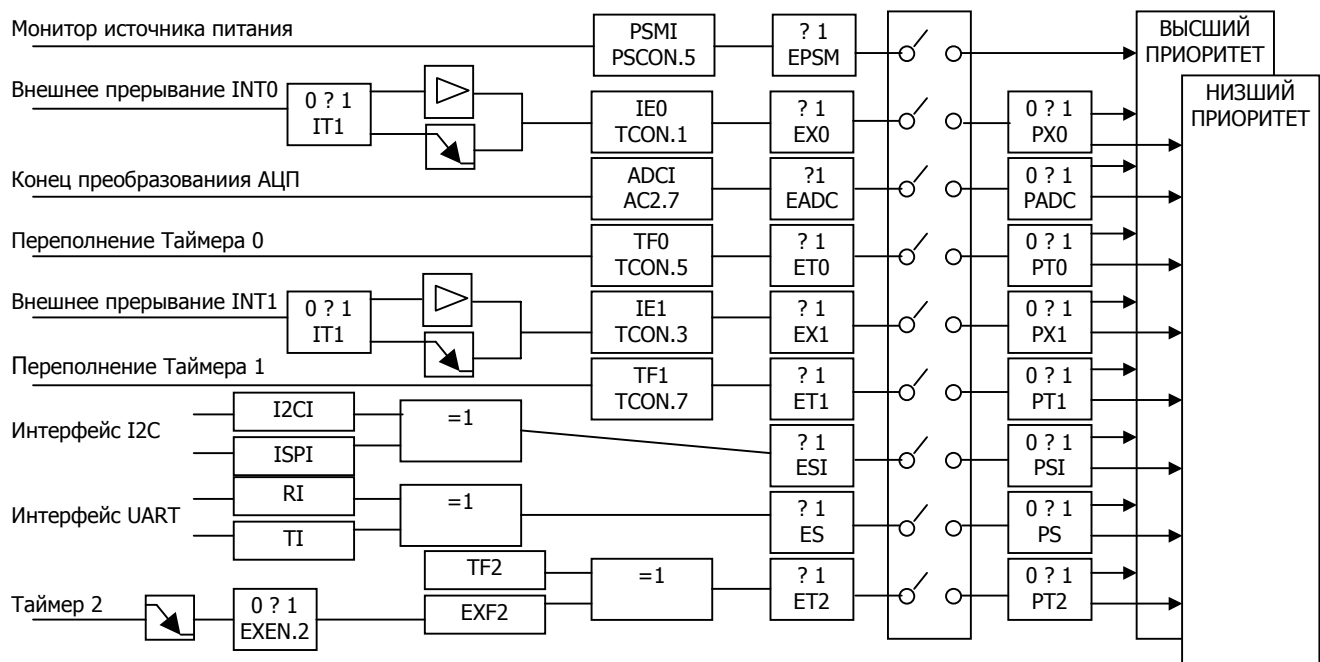


Рис.14. Источники запроса прерываний

Таблица VII. Адреса векторов прерываний

Прерывание	Наименование источника прерывания	Адрес вектора	Уровень приоритета
PSMI	Монитор Источника Питания	43H	1
IE0	Внешнее прерывание INT0/	03H	2
ADCI	Конец преобразования АЦП	33H	3
TF0	Переполнение Таймера 0	0BH	4
IE1	Внешнее прерывание INT1/	13H	5
TF1	Переполнение Таймера 1	1BH	6
I2CI/ISPI	Прерывание Последовательного интерфейса	3BH	7
RI/TI	Прерывание Асинхронного интерфейса UART	23H	8
TF2/EXF2	Прерывание от Таймера 2	2BH	9

Использование прерываний

Для обработки любого из прерываний следует предпринять следующие три действия:

1. Расположить процедуру обслуживания прерывания по адресу соответствующего прерывания.
2. Установить бит разрешения всех прерываний (EA) «1» в регистре IE SFR.
3. Установить бит разрешения индивидуального прерывания в «1» в IE или IE2 SFR.

Для разрешения и установки приоритета различных прерываний используются три регистра SFR. Распределение разрядов этих регистров приводится в Таблицах VIII, XI и X. Следует отметить, что в то время как регистры IE и IP являются бит адресуемыми, регистр IE2 - адресуется только байтом

IE - (SFR #1 разрешения прерываний)

EA	EADC	ET2	ES	ET1	EX1	ET0	EX0
----	------	-----	----	-----	-----	-----	-----

IE регистр разрешает прерывание в системе и семи источникам прерываний.

Адрес SFR	A8H
Значение SFR по включению питания	00H
Наличие битовой адресации	есть

Таблица VIII. Распределение разрядов регистра IE.

Расположение бит	Мнемоника	Описание
IE.7	EA	Бит Разрешения Глобального Прерывания (EA); должен быть установлен для опознания любого источника прерывания ядром. Если EA=0, все прерывания запрещены.
IE.6	EADC	Бит Разрешения Прерывания АЦП (EADC).
IE.5	ET2	Бит Разрешения Прерывания по Переполнению Таймера 2 (ET2).
IE.4	ES	Бит Разрешения Прерывания от Последовательного Порты UART (ES).
IE.3	ET1	Бит Разрешения Прерывания по Переполнению Таймера 1 (ET1).
IE.2	EX1	Бит Разрешения Внешнего Прерывания INT1 (EX1).
IE.1	ET0	Бит Разрешения Прерывания по Переполнению Таймера 0 (ET0).
IE.0	EX0	Бит Разрешения Внешнего Прерывания INT0 (EX0).
Указанные биты устанавливаются в «1» для разрешения прерываний.		

IE2 - (SFR #2 разрешения прерываний)

NU	NU	NU	NU	NU	NU	EPSM	ESI
----	----	----	----	----	----	------	-----

IE регистр разрешает прерывание двум дополнительным источникам прерываний.

Адрес SFR	A9H
Значение SFR по включению питания	00H
Наличие битовой адресации	нет

Таблица IX. Распределение разрядов регистра IE2.

Расположение бит	Мнемоника	Описание
IE2.7-2.2	NU	Не используются
IE2.1	EPSM	Бит Разрешения Прерывания по Монитору Питания (EPSM).
IE2.0	ESI	Бит Разрешения Прерывания от Интерфейсов SPI/I2C (ESI).
Указанные биты устанавливаются в «1» для разрешения прерываний		

IP - (SFR приоритета прерываний)

PS1	PADC	PT2	PS	PT1	PX1	PT0	PX0
-----	------	-----	----	-----	-----	-----	-----

Регистр IP устанавливает один из двух возможных уровней прерывания для различных источников прерывания. Установите соответствующий бит в «1» для присвоения высокого уровня данному прерыванию или «0» для низкого.

Адрес SFR	B8H
Значение SFR по включению питания	00H
Наличие битовой адресации	есть

Таблица IX. Распределение разрядов регистра IP.

Расположение бит	Мнемоника	Описание
IP.7	PSI	Устанавливает приоритет прерывания от SPI/I2C
IP.6	PADC	Устанавливает приоритет прерывания от АЦП
IP.5	PT2	Устанавливает приоритет прерывания от Таймера 2
IP.4	PS	Устанавливает приоритет прерывания от последовательного порта UART
IP.3	PT1	Устанавливает приоритет прерывания от Таймера 1
IP.2	PX1	Устанавливает приоритет прерывания от Внешнего источника INT1
IP.1	PT0	Устанавливает приоритет прерывания от Таймера 0
IP.0	PX0	Устанавливает приоритет прерывания от Внешнего источника INTO

ВНУТРЕННИЕ ПЕРИФЕРИЙНЫЕ УСТРОЙСТВА

Следующие разделы представляют собой краткий обзор различных вторичных устройств периферии, имеющих в составе кристалла. Ниже приводятся краткие данные для набора регистров SFR, используемых для управления этой периферией.

Параллельные порты ввода/вывода

Для обмена с внешними устройствами в составе ADuC812 имеется четыре порта общего назначения. В дополнении к функции общего ввода/вывода, некоторые порты могут управлять операциями с внешней памятью, в то время как другие мультиплексируются альтернативными функциями для периферии. В общем случае, когда периферийная функция для контакта порта разрешена, данный контакт не может употребляться в качестве бита порта ввода/вывода общего назначения.

Порты 0, 2 и 3 - двунаправленные, Порт 1 служит только для ввода. Все порты содержат выходную защелку и входной буфер, порты ввода/вывода содержат также выходной буфер (драйвер). Доступ к контактам Портов 0 - 3 по Чтению и Записи выполняется через соответствующие регистры специального назначения. Контакты Портов 0, 2 и 3 можно конфигурировать независимо как для цифрового ввода, так и для вывода через соответствующие биты SFR. Контакты Порта 1 можно конфигурировать только либо на цифровой ввод, либо на аналоговый; возможность цифрового вывода по Порту 1 не поддерживается.

Порты последовательного ввода/вывода

Асинхронный интерфейс (UART)

Последовательный порт - полнодуплексный, что означает возможность одновременной передачи и приема. Имеется буфер приема, что подразумевает возможность приема второго байта до считывания из регистра приемника предыдущего. Однако если предыдущий байт не будет считан из регистра к моменту окончания приема второго байта, то один из байтов будет утерян.

Физический интерфейс к сети последовательных данных осуществляется через контакты RxD(P3.0) и TxD(P3.1), а сам порт можно конфигурировать на четыре режима работы.

Последовательный периферийный интерфейс (SPI)

SPI является промышленным стандартным интерфейсом синхронного последовательного обмена, который допускает одновременную синхронную передачу и прием восьми бит данных. Систему можно конфигурировать как Ведущую (Master) или как Ведомую (Slave).

I2C - совместимый последовательный интерфейс

ADuC812 поддерживает 2-проводный I2C-совместимый последовательный интерфейс. Этот интерфейс можно сконфигурировать как Программно Ведущий (Software Master) или как Аппаратно Ведомый (Hardware Slave). Он мультиплексируется с Портом SPI.

Таймеры/Счетчики

ADuC812 содержит три 16-разрядных Счетчика/Таймера: Таймер 0, Таймер 1 и Таймер 2. Аппаратура Таймеров/Счетчиков включена в состав чипа для того, чтобы освободить микропроцессорное ядро от излишних затрат ресурса, свойственных программной эмуляции процесса счета. Каждый Таймер/Счетчик состоит из двух 8-разрядных регистров THx и TLx (x = 0, 1 и 2). Все три можно сконфигурировать как таймеры, либо как счетчики событий.

В режиме «Таймера» регистр TLx инкрементируется в каждом машинном цикле. В этом режиме работу можно рассматривать как счет машинных циклов. Так как машинный цикл состоит из 12 периодов осциллятора, то максимальная скорость счета составляет 1/12 от частоты осциллятора. В режиме «Счетчика» регистр TLx инкрементируется по перепаду 1 - 0 на соответствующем контакте микросхемы T0, T1 или T2.

Внутренние мониторы

Для минимизации повреждения кода или данных вследствие возникновения катастрофических программных или внешних сбоев системы ADuC812 включает в себя две мониторинговых функции. Обе мониторинговые функции конфигурируются через регистры SFR.

Охранный таймер (WDT)

Назначение охранного таймера (WDT) - сгенерировать сигнал сброса устройства, если ADuC812 выполняет ошибочные действия, например, по причине сбоя программы или из-за электрических/электромагнитных помех. Действие WDT можно запретить очисткой бита Разрешения WDE в регистре Управления Охранным Таймером (WDCON) SFR.

При разрешенном охранном таймере, он будет генерировать системный сброс, если программа пользователя не обновляет его содержимое в интервале предустановленного времени. Интервал можно менять с помощью установки через специальный регистр в диапазоне от 16 мс до 2048 мс.

Монитор источника питания (PSM)

Монитор источника питания (PSM) генерирует прерывание, когда значение аналогового или цифрового напряжения питания падает ниже одной из пяти, устанавливаемой пользователем, пороговой величины (от 2.6 В до 4.6 В). Бит прерывания не будет очищаться в течение не менее 256 мс и до тех пор, пока напряжение источника не станет выше порогового значения.

Эта функция гарантирует, что пользователь успеет спасти рабочие регистры во избежание возможной потери данных из-за низкого питания. Выполнение программного кода не продолжится до тех пор, пока не установится «безопасный» уровень питания. Монитор питания также защищен от импульсных помех в цепи прерывания.

СИСТЕМА РАЗРАБОТКИ QUICKSTART

Система представляет собой функционально законченный недорогой инструмент разработки, поддерживающий устройство ADuC812. Система включает в себя следующие (основанные на PC и Win95 технологии) аппаратные и программные инструменты:

- ◆ Разработка программного кода: Ассемблер и C - компилятор (ограничен до 2К кода).
- ◆ Проверка работы: ADSIM812, Windows Симулятор.
- ◆ Загрузчик кода: Последовательный Загрузчик с асинхронного порта FLASH/EE памяти.
- ◆ Отладчик кода: Отладчик с Последовательного Порта.
- ◆ Прочее: Документация на CD-ROM, источник питания, кабель последовательного порта.

РЕГИСТРЫ СПЕЦИАЛЬНОГО НАЗНАЧЕНИЯ (SFR)

Все регистры, исключая счетчик команд и четырех банков регистров общего назначения, располагаются в области регистров специального назначения (SFR). Эти регистры включают в себя регистры управления и настройки, а также регистры данных, которые обеспечивают интерфейс между CPU и внутренней периферией. На Рис.16. показано расположение регистров специального назначения в памяти и их состояние после выполнения сброса системы.

SPICON¹ F8H 00H	DAC0L F9H 00H	DAC0H FAH 00H	DAC1L FBH 00H	DAC1H FCH 00H	DACCON FDH 00H	РЕЗЕРВ	НЕ ИСП.
B¹ F0H 00H	ADCOFSL³ F1H 00H	ADCOFSH³ F2H 20H	ADCGAINL³ F3H 00H	ADCGAINH³ F4H 0H	ADCCON3 F5H 00H	РЕЗЕРВ	SPIDAT F7H 00H
I2CCON¹ E8H 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	ADCCON1 EFH 20H
ACC¹ E0H 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
ADCCON2¹ E0H 00H	ADCDATAL D9H 00H	ADCDATAH DAH 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	PSMCON DFH DCH
PSW¹ D0H 00H	РЕЗЕРВ	DMAL D2H 00H	DMAH D3H 00H	DMAL D4H 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
T2CON¹ C8H 00H	РЕЗЕРВ	RCAP2L CAH 00H	RCAP2H CBH 00H	TL2 CCH 00H	TH2 CDH 00H	РЕЗЕРВ	РЕЗЕРВ
WDCON¹ C0H 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	ETIM3 C4H C9H	РЕЗЕРВ	EDARL C6H 00H	РЕЗЕРВ
IP¹ B8H 00H	ECON B9H 00H	ETIM1 BAH 52H	ETIM2 BBH 04H	EDATA1 BCH 00H	EDATA2 BDH 00H	EDATA3 BEH 00H	EDATA4 BFH 00H
P3¹ B0H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
IE¹ A8H 00H	IE2 A9H 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
P2¹ A0H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
SCON¹ 98H 00H	SBUF 99H 00H	I2CDAT 9AH 00H	I2CADD 9BH 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
P1^{1,2} 90H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
TCON¹ 88H 00H	TMOD 89H 00H	TLO 8AH 00H	TL1 8BH 00H	TH0 8CH 00H	TH1 8DH 04H	НЕ ИСП.	НЕ ИСП.
PO¹ 80H FFH	SP 81H 07H	DPL 82H 00H	DPH 83H 00H	DPP 84H 00H	РЕЗЕРВ	РЕЗЕРВ	PCON 87H 00H

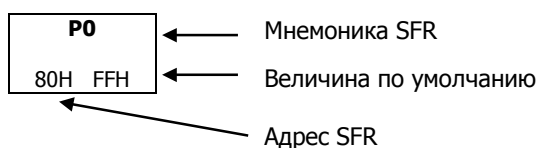


Рис.16. Расположение регистров специального назначения.

ПРИМЕЧАНИЯ:

¹SFR регистры, адреса которых оканчиваются на 0H или 8H являются бит адресуемыми.

²Основной функцией Порты 1 является ввод аналоговых сигналов, по этой причине для разрешения цифрового ввода по его контактам запишите «0» в соответствующие SFR биты Порты 1.

³Калибровочные коэффициенты загружаются по включению питания как заводские величины.

Надпись «HE ИСП.» указывает на незанятую позицию SFR. Незанятые позиции в адресном пространстве SFR не используются, т.е. на этом месте нет никаких регистров. Незанятые позиции возвращают при чтении непредсказуемые величины. Надпись «РЕЗЕРВ» указывает на зарезервированные для внутреннего тестирования позиции в адресном пространстве SFR. Зарезервированные позиции нельзя использовать в прикладных программах пользователя.

<p>ADCCON1 Регистр управления АЦП #1</p> <p>ADCCON1.7 Биты управления питанием АЦП</p> <p>ADCCON1.6 (выключено, норма, автовыключено, автохолостое)</p> <p>ADCCON1.5 Время преобразования =</p> <p>ADCCON1.4 $16/ADCCCLK; ADCCCLK=MCLK/(1,2,4,8)$</p> <p>ADCCON1.3 Выбор задержки переключения</p> <p>ADCCON1.2 $AQT=(1,2,3,4)/ADCCCLK$</p> <p>ADCCON1.1 Разрешение запуска от Таймера 2</p> <p>ADCCON1.0 Разрешение внешнего запуска</p>	<p>ADCCON3 Регистр управления АЦП #3</p> <p>ADCCON3.7 Флаг занятости (0=АЦП свободен)</p> <p>ADCCON3.6 Бит должен содержать ноль</p> <p>ADCCON3.5 Бит должен содержать ноль</p> <p>ADCCON3.4 Бит должен содержать ноль</p> <p>ADCCON3.3 Бит должен содержать ноль</p> <p>ADCCON3.2 Бит должен содержать ноль</p> <p>ADCCON3.1 Бит должен содержать ноль</p> <p>ADCCON3.0 Бит должен содержать ноль</p>
<p>ADCCON2 Регистр управления АЦП #2</p> <p>ADCI.7 Флаг прерывания АЦП</p> <p>DMA.6 Разрешение режима ПДП</p> <p>CCONV.5 Циклическое преобразование</p> <p>SCONV.4 Однократный запуск АЦП</p> <p>CS3.3 Биты выбора входного канала</p> <p>CS2.2 0000-0111=ADC0-ADC7</p> <p>CS1.1 1XXX=Температурный сенсор</p> <p>CS0.0 1111=Команда остановки ПДП (Только для режима ПДП)</p>	<p>ADCDATAH Регистры данных АЦП</p> <p>ADCDATAL</p> <p>DMAP, Указатель адреса ПДП</p> <p>DMAI,</p> <p>DMAH</p> <p>ADCGAINH Калибровочный коэффициент по</p> <p>ADCGAINL усилению</p> <p>ADCOFSH Калибровочный коэффициент по</p> <p>ADCOFSL смещению</p>
<p>DACCON Регистр управления ЦАП</p> <p>DACCON.7 Режим ЦАП (0 =12 бит, 1 = 8 бит)</p> <p>DACCON.6 Диапазон ЦАП1 (0 = Vref, 1 = Vdd)</p> <p>DACCON.5 Диапазон ЦАП0 (0 = Vref, 1 = Vdd)</p> <p>DACCON.4 Очистка ЦАП1 (0 = 0В, 1 = нормальная работа)</p> <p>DACCON.3 Очистка ЦАП0 (0 = 0В, 1 = нормальная работа)</p> <p>DACCON.2 Синхронизация ЦАП (1 = синхронизация)</p> <p>DACCON.1 Питание ЦАП1 (0 = выключено, 1 = включено)</p> <p>DACCON.0 Питание ЦАП1 (0 = выключено, 1 = включено)</p>	<p>DAC1H Регистры данных ЦАП1</p> <p>DAC1L</p> <p>DAC0H Регистры данных ЦАП0</p> <p>DAC0L</p>

Рис.17. SFR регистры управления и конфигурации АЦП и ЦАП.

P0	Регистр Porta 0 (A0-A7, D0-D7)	SBUF	Буферный регистр последовательного порта
P1	Регистр Porta 1 (ввод)	PCON	Регистр управления питанием
T2EX.1 T2.0	Таймер/Счетчик или Триггер Внешний вход Таймера/Счетчика 2	PCON.7 PCON.4	Удвоение скорости передачи Запрет строба «ALE» (0=норма, 1=ALE-высокий уровень)
P2	Регистр Porta 2 (A8-A15, A16-A23)	PCON.3 PCON.2 PCON.1 PCON.0	Флаг общего назначения Флаг общего назначения Бит выключения питания Управление Холостым Режимом
P3	Регистр Porta 3	PSW	Статусное слово программы
RD.7 WR.6 T1.5 T0.4 INT1.3 INT0.2 TxD.1 RxD.0	Строб чтения внеш. памяти данных Строб записи в внеш. память данных Внешний вход Таймера/Счетчика 1 Внешний вход Таймера/Счетчика 0 Внешнее прерывание 1 Внешнее прерывание 0 Выход передатчика посл. порта Вход приемника посл. порта	CY.7 AC.6 F0.5 RS1.4 RS0.3 OV.2 F1.1 P.0	Флаг переноса Флаг вспомогательного переноса Флаг общего назначения 0 Биты выбора банка регистров Активный банк = [0, 1, 2, 3] Флаг переполнения Флаг общего назначения 1 Паритет аккумулятора
SCON	Регистр управления последовательной связью	DPP	Указатель страницы данных
SM0.7 SM1.6	Биты управления скоростью 00 - 8 бит регистр сдвига Fosc/12 01 - 8бит UART Таймер2/32*2 10 - 9бит UART Fosc/64*2 11 - 9бит UART Таймер2/32*2	DPH, DPL (DPTR)	Указатель данных
SM2.5	В режимах 2 и 3 разрешает многопроцессорную связь	ACC	Аккумулятор
REN.4 TB8.3 RB8.2 TI.1 RI.0	Бит разрешения приема В режимах 2 и 3 9-й переданный бит В режимах 2 и 3 9-й принятый бит Флаг прерывания передатчика Флаг прерывания приемника	B	
		SP	Указатель стека
WDCON	Регистр управления WDT	ECON	Регистр команд управления FLASH памятью данных
PRE2.7 PRE1.6 PRE0.5 WDR1.3 WDR2.2 WDS.1 WDE.0	Биты выбора тайм-аута WDT Тайм-аут (16, 32, 64, 128, 256, 512, 1024, 2048) мс Биты обновления WDT Устанавливать последовательно Флаг статуса WDT Разрешение WDT	EADRL	Регистр адреса FLASH памяти данных
PSMCON	Управление монитором питания	EDATA1 EDATA2 EDATA3 EDATA4	Регистры FLASH памяти данных
PSMCON.7 PSMCON.6 PSMCON.5 PSMCON.4 PSMCON.3 PSMCON.2 PSMCON.1 PSMCON.0	Не используется Бит статуса PSM (1=норма, 0=сбой) Бит прерывания от PSM Биты установки порога срабатывания [4.63В, 4.37В, 3.08В, 2.93В, 2.63В] Слежение (1= аналог, 0=цифровое) Управление питанием PSM (1 = вкл)	ETIM1 ETIM2 ETIM3	Регистры синхронизации FLASH памяти данных

Рис.18. SFR регистры ядра 8051, встроенных мониторов, FLASH памяти данных.

<u>IE</u>	Регистр разрешения прерываний #1	<u>TCON</u>	Регистр управления таймером
EA.7	Разрешение прерываний (0=все прерывания запрещены)	TF1.7	Флаг переполнения Таймера1
EADC.6	Прерывание от АЦП	TR1.6	Бит управления работой Таймера1 (0=выключен, 1=включен)
ET2.5	Прерывание по Таймеру2	TF0.5	Флаг переполнения Таймера0
ES.4	Прерывание от посл. порта	TR0.4	Бит управления работой Таймера0 (0=выключен, 1=включен)
ET1.3	Прерывание по Таймеру1	IE1.3	Флаг внешнего прерывания 1
EX1.2	Внешние прерывание 1	IT1.2	Тип IE1 (0=по уровню, 1=по фронту)
ET0.1	Прерывание по Таймеру0	IE0.1	Флаг внешнего прерывания 0
EX0.0	Внешние прерывание 0	IT0.0	Тип IE0 (0=по уровню, 1=по фронту)
<u>IE2</u>	Регистр разрешения прерываний #2	<u>TH0, TL0</u>	Регистры Таймера0
IE2.1	Прерываний от монитора питания	<u>TH1, TL1</u>	Регистры Таймера1
IE2.0	Прерывание от интерфейса ISPI/I2CI	<u>T2CON</u>	Регистр управления Таймером2
<u>IP</u>	Регистр приоритета прерывания	TF2.7	Флаг переполнения Таймера2
PSI.7	Приоритет интерфейса I2CI/ISPI	EXF2.6	Внешний флаг
PADC.6	Приоритет АЦП	RCLK.5	Синхронизация приемника (0= использовать Таймер1)
PT2.5	Приоритет переполнения Таймера2	TCLK.4	Синхронизация передатчика (1= использовать Таймер1)
PS.4	Приоритет послед. порта RI/ТИ	EXEN2.3	Разрешение внешнего (0= игнорировать T2EX, 1=CAP/RL)
PT1.3	Приоритет переполнения Таймера1	TR2.2	Бит управления работой Таймера2 (0= выключен, 1=включен)
PX1.2	Приоритет внешнего прерывания 1	CNT2.1	Бит выбора режима Счетчик/Таймер (0= Таймер, 1=Счетчик)
PT0.1	Приоритет переполнения Таймера0	CAP2.0	Выбор режима Захват/Перезагрузка (0= Перезагрузка, 1=Захват)
PX0.0	Приоритет внешнего прерывания 0	<u>TH2, TL2</u>	Регистры Таймера2
<u>TMOD</u>	Регистр режима таймера	<u>RCAP2H, RCAP2L</u>	Таймер2 Захват/Перезагрузка
TMOD.3/.7	Бит контроля (0=игнорируются прерывания INTx)		
TMOD.2/.6	Бит выбора режима Счетчик/Таймер (0=Таймер)		
TMOD.1/.5	Биты выбора режима таймера		
TMOD.0/.4	Биты (0-3): Таймер 1, (4-7):Таймер 2		
<u>SPICON</u>	Регистр управления SPI	<u>SPIDAT</u>	Регистр данных SPI
ISPI.7	Прерывание от SPI (устанавливается в конце передачи)	<u>I2CCON</u>	Регистр управления I2C
WCOL.6	Флаг ошибки по Столкновению	MDO.7	Выход последовательных данных в режиме Ведущий
SPE.5	Разрешение SPI (0=запрет)	MDE.6	Разрешение Выхода посл. данных в режиме Ведущий
SPIM.4	Выбор режима Ведущий (0=Ведомый)	MCO.5	Синхронизация в режиме Ведущий
CPOL.3	Выбор полярности синхронизации	MDI.4	Вход последовательных данных в режиме Ведущий
SPHA.2	Выбор фазы синхронизации (защелкивание по перед. фронту)	I2CM.3	Выбор режима Ведущий
SPR1.1	Биты выбора скорости обмена по SPI.	I2CRS.2	Сброс последовательного порта
SPR0.0	Скорость = Fosc/[4, 8, 32, 64]	I2CTX.1	Состояние направления передачи
<u>I2CADD</u>	Адресный регистр I2C	I2CI.0	Прерывание посл. интерфейса
<u>I2CDAT</u>	Регистр данных I2C		

Рис.19. SFR регистры управления прерыванием, таймерами и интерфейсами SPI и I2C.

СПИСОК ДИАГРАММ ВРЕМЕННЫХ СООТНОШЕНИЙ (доступны в оригинальной. версии)

Рис. 20. Временные соотношения на Входе XTAL 1

Рис. 21. Временные Характеристики Сигналов

Рис. 22. Временные соотношения при выполнении цикла Чтения из Внешней Памяти Программ

Рис. 23. Временные соотношения при выполнении цикла Чтения из Внешней Памяти Данных

Рис. 24. Временные соотношения при выполнении цикла Записи во Внешнюю Память Данных

Рис. 25. Временные соотношения интерфейса UART в режиме Регистра Сдвига

Рис. 26. Временные соотношения I2C совместимого интерфейса

Рис. 27. Временные соотношения SPI в режиме Ведущий (CPHA=1)

Рис. 28. Временные соотношения SPI в режиме Ведущий (CPHA=0)

Рис. 29. Временные соотношения SPI в режиме Ведомый (CPHA=1)

ОПЕРАЦИЯ НАЧАЛЬНОГО СБРОСА

Для управления выводом PSEN ADuC812 необходимо включить внешнюю схему POR (power-on-reset). Схема должна удерживать вывод RESET на высоком уровне напряжения, когда напряжение питания (DVDD) меньше 2.5 В. Дополнительно, напряжение VDD должно как минимум 10 мс быть выше 2.5 В перед тем, когда уровень сигнала RESET упадет.

Внешняя микросхема начального сброса должна быть функциональной до 1.2 В и менее. Этим рекомендациям следует придерживаться, как в процессе изготовления вашей системы, так и во время ее операции начального сброса. Отсутствие внешней микросхемы POR может привести к потере функциональности устройства.