

ХАРАКТЕРИСТИКИ

СИГМА ДЕЛЬТА АЦП ВЫСОКОГО РАЗРЕШЕНИЯ

2 независимых канала (16- и 24-битного разрешения)
 Предварительный входной усилитель с программируемым коэффициентом (PGA)
 Основной АЦП – 24 разряда, без пропуска кодов
 13-битное разрешение p-r @ 20 Гц, диапазон 20 мВ
 18-битное разрешение p-r @ 20 Гц, диапазон 2.56 В

ПАМЯТЬ

8 Кбайт внутренней FLASH памяти программ
 640 байт внутренней FLASH памяти данных
 Сохранность 100 лет
 Максимальное число циклов программирования 100К
 256 байт внутренней памяти данных ОЗУ

8051 - СОВМЕСТИМОЕ ЯДРО

12.58 МГц номинальная частота
 32 КГц внешний кварц с системой ФАПЧ
 Три 16-разрядных счетчика/таймера
 26 программируемых линии ввода/вывода
 11 источников прерываний, 2 уровня приоритета

ПИТАНИЕ

Специфицирован для питания +3В и +5В
 Норма потребления 3 мА @ 3В (CLK = 1.5 МГц)
 Пониженное потребление: 20 мкА

ВСТРОЕННАЯ ПЕРИФЕРИЯ

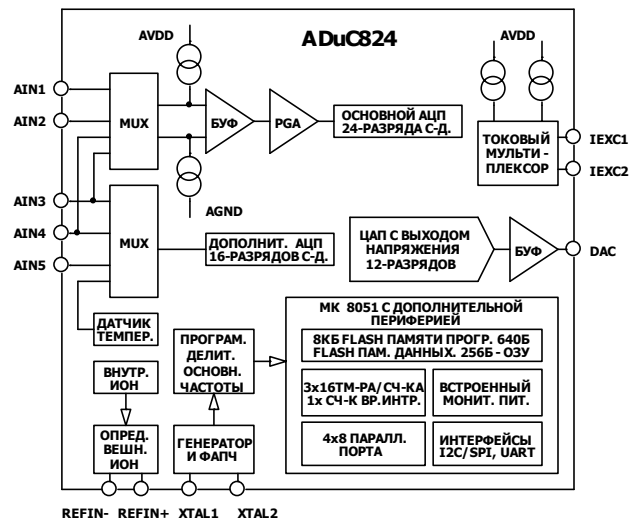
Встроенный датчик температуры
 12-разрядный ЦАП с вольтовым выходом
 2 источника тока возбуждения
 Схема определения наличия внешнего ИОН
 Счетчик временного интервала (TIC)
 Последовательный порт (UART)
 2-проводной (I2C) и SPI совместимые стандарты
 Сторожевой таймер (WDT)
 Монитор источника питания (PSM)

ПРИЛОЖЕНИЯ

Интеллектуальные сенсоры (IEEE 1451.2)
 Взвешивающие устройства
 Переносные измерительные приборы
 Датчики давления
 Передатчики 4-20 мА

ОБЩЕЕ ОПИСАНИЕ

ADuC824 является законченным препроцессором интеллектуального датчика (преобразователя), включающим в себя: два сигма-дельта АЦП высокого разрешения, 8-разрядное микропроцессорное устройство управления, встроенную неразрушаемую FLASH/EE память программ/данных. Это малопотребляющее устройство принимает сигналы низкого уровня непосредственно с первичного преобразователя.



Кроме двух независимых АЦП (основного и дополнительного) в составе имеется датчик температуры и усилитель PGA (что позволяет выполнять прямые измерения сигналов низкого уровня). АЦП с встроенным цифровым фильтром предназначены для измерения низкочастотных сигналов в широком динамическом диапазоне таких, как сигналы с устройств взвешивания, тензометров или сигналы с температурных датчиков. Частота (поток) данных на выходе АЦП программируется, и его выходное разрешение будет меняться в зависимости от установленных усиления и частоты.

Устройство работает с кварцем 32 КГц, а встроенная система ФАПЧ образует требуемую внутреннюю рабочую частоту 12.58 МГц. Эта частота подается на программируемый делитель, на выходе которого и образуется рабочая тактовая частота ядра. Ядро представляет собой микроконтроллер 8052, поэтому система команд совместима с набором 8051. Машинный цикл ядра состоит из 12 циклов выбранной рабочей тактовой частоты. На кристалле содержится 8 Кб неразрушаемой FLASH/EE памяти программ, 640 байт FLASH/EE памяти данных и 256 байт оперативной памяти данных с произвольным доступом (RAM).

В составе ADuC824 имеются дополнительные аналоговые элементы: 12-разрядный ЦАП, источники тока, монитор источника питания. Встроенная цифровая периферия кристалла включает в себя: сторожевой таймер, счетчик временного интервала, три таймера/счетчика и последовательные порты. Заводское ПЗУ поддерживает режимы последовательной загрузки и отладки (через UART), а также режим эмуляции через единственный внешний контакт EA/. Подробная блок-схема ADuC824 показана на Рис.12. Устройство работает от источника питания от +3В до +5В. При работе от источника +3В рассеиваемая мощность составляет менее 10 мВт. ADuC824 выпускается в 52-контактном корпусе MQFP.

ADuC824-Спецификация¹

($V_{DD} = +2.7$ В до $+3.6$ В или $+4.75$ В до $+5.25$ В, $DV_{DD} = +2.7$ В до $+3.6$ В или $+4.75$ В до $+5.25$ В, $REFIN(+)$ = $+2.5$ В; $REFIN(-)$ = $AGND$; $AGND = DGND = 0$ В; $XTAL1/XTAL2 = 32.768$ КГц; Все спецификации приводятся для T_A = от $T_{мин}$ до $T_{макс}$, если не указано особо.)

ПАРАМЕТР	ADuC824BS	УСЛОВИЯ ИЗМЕРЕНИЯ	ЕДИНИЦЫ
СПЕЦИФИКАЦИЯ АЦП			
Скорость преобразования	5.4	по обоим каналам	Гц [мин.]
	105	программируется с шагом 0.732 мс	Гц [макс.]
ОСНОВНОЙ АЦП			
Без пропуска кодов ²	24	20 Гц част. пр.	разряды [мин.]
Разрешение	13	20 Гц част. пр., диапазон ± 20 мВ	разряды р-р
	18	20 Гц част. пр., диапазон ± 2.56 В	разряды р-р
Выходной шум		см. таблицы IX и X в описании АЦП	
Интегральная нелинейность	± 15		ppm от FSR [макс.]
Ошибка смещения ³	± 3		мкВ [сред.]
Дрейф смещения	± 10		нВ/°С [сред.]
Ошибка полной шкалы ⁴	± 10		мкВ [сред.]
Дрейф усиления ⁵	± 0.5		ppm/°С [сред.]
Согласование диапазонов АЦП	± 2	AIN = 18 мВ	мкВ [сред.]
Ослабление влияния напряжения питания (PSR)	95	AIN = 7.8 мВ, диапазон ± 20 мВ	дБ [мин.]
	80	AIN = 1 В, диапазон ± 2.56 мВ	дБ [мин.]
Ослабление синфазного сигнала на AIN (аналоговый вход)	95	DC, AIN = 7.8 мВ, диапазон ± 20 мВ	дБ [мин.]
на AIN	90	DC, AIN = 1 В, диапазон ± 2.56 В	дБ [мин.]
на REFIN (вход внешнего ИОН)	90	DC, AIN = 1 В, диапазон ± 2.56 В	дБ [мин.]
Ослабление синфазного сигнала на частоте 50 Гц / 60 Гц ² на AIN	95	50 Гц/60 Гц ± 1 Гц	дБ [мин.]
	90	AIN = 7.8 мВ, диапазон ± 20 мВ 50 Гц/60 Гц ± 1 Гц	дБ [мин.]
	90	AIN = 1 В, диапазон ± 2.56 В 50 Гц/60 Гц ± 1 Гц	дБ [мин.]
на REFIN (вход внешнего ИОН)	90	AIN = 1 В, диапазон ± 2.56 В	дБ [мин.]
Ослабление противофазного сигнала на частоте 50 Гц / 60 Гц ² на AIN	60	50 Гц/60 Гц ± 1 Гц, 20 Гц част. пр	дБ [мин.]
на REFIN (вход внешнего ИОН)	60	50 Гц/60 Гц ± 1 Гц, 20 Гц част. пр	дБ [мин.]
ДОПОЛНИТЕЛЬНЫЙ АЦП			
Без пропуска кодов ²	16		разр. [мин.]
Разрешение	16	диапазон ± 2.5 В, 20 Гц част. пр.	разр. р-р [сред.]
Выходной шум	см. Табл XI	зависит от выбранной част. пр.	
Интегральная нелинейность	± 15		ppm от FSR [макс.]
Ошибка смещения ³	-2		МЗР [сред.]
Дрейф смещения	1		мкВ/°С [сред.]
Ошибка полной шкалы ⁶	-2.5		МЗР [сред.]
Дрейф усиления ⁵	± 0.5		ppm/°С [сред.]
Ослабление влияния напряжения питания (PSR)	80	AIN = 1 В, 20 Гц част. пр.	дБ [мин.]
Ослабление противофазного сигнала на частоте 50 Гц / 60 Гц ² на AIN	60	50 Гц/60 Гц ± 1 Гц	дБ [мин.]
на REFIN (вход внешнего ИОН)	60	50 Гц/60 Гц ± 1 Гц, 20 Гц част. пр	дБ [мин.]

ПАРАМЕТР	ADuC824BS	УСЛОВИЯ ИЗМЕРЕНИЯ	ЕДИНИЦЫ
СПЕЦИФИКАЦИЯ ЦАП			
По постоянному току ⁷			
Разрешение	12	гарантируется монотонность 12 разр. диапазон V_{DD} диапазон V_{REF}	разрядов
Относительная точность	± 3		МЗР [сред.]
Дифференциальная нелинейность	-1		МЗР [макс.]
Ошибка смещения	± 50		мВ [макс.]
Ошибка усиления	± 1		% [макс.]
По переменному току ^{2,7}			
Время установления вых. напр.	15	время установления до 1МЗР от конечной величины изменение на 1 МЗР с переносом в старший разряд	мкс [сред.]
Импульсная энергия из цифровой части в аналоговую часть	10		нВ*с [сред.]
ВНУТРЕННИЙ ИОН			
ИОН АЦП			
Опорное напряжение	$1.25 \pm 1\%$	нач. допуск при $+25^\circ$, $V_{DD} = 5В$	В [мин./макс.]
Ослабление влияния напр. питания	45		дБ [сред.]
Температурный коэффициент	100		ppm/ $^\circ C$ [сред.]
ИОН ЦАП			
Опорное напряжение	$2.5 \pm 1\%$	нач. допуск при $+25^\circ$, $V_{DD} = 5В$	В [мин./макс.]
Ослабление влияния напр. питания	50		дБ [сред.]
Температурный коэффициент	± 100		ppm/ $^\circ C$ [сред.]
АНАЛОГОВЫЕ ВХОДЫ / ВХОДЫ ИОН			
Основной канал			
Диапазон входных ^{9,10} дифференциальных напряжений		Внешний опорный источник = 2.5В RN2, RN1, RN0 в ADOCON = 000 (однополярный режим 0 –20В) 001 (однополярный режим 0 –40В) 010 (однополярный режим 0 –80В) 011 (однополярный режим 0 –160В) 100 (однополярный режим 0 –320В) 101 (однополярный режим 0 –640В) 110 (однополярный режим 0 –1.28В) 111 (однополярный режим 0 –2.56В)	
Биполярный режим (ADCOCON3=0)	± 20		мВ
	± 40		мВ
	± 80		мВ
	± 160		мВ
	± 320		мВ
	± 640		мВ
	± 1.28		В
	± 2.56		В
Ток аналогового входа ²	± 1		нА [макс.]
Дрейф входного тока	± 5		пА/ $^\circ C$ [сред.]
Абс. пределы вх. напряжений	AGND + 100 мВ $V_{DD} - 100$ мВ	В [мин.] В [макс.]	
Дополнительный АЦП			
Диапазон входных сигналов ^{9,10}	$0 - V_{REF}$	Для биполярного режима см. ¹¹ Входной ток небуферизованного входа дополнительного АЦП будет меняться с измен. вх. напряжения	В
Средний ток аналогового входа	125		нА/В [сред.]
Дрейф среднего входного тока ²	± 2	AGND – 30 мВ $V_{DD} + 30$ мВ	пА/В / $^\circ C$ [сред.]
Абс. пределы вх. напряжений ¹¹			В [мин.]
			В [макс.]
Входы внешнего ИОН			
Диапазон от REFIN(+) до REFIN(-) ²	1 V_{DD}	Оба АЦП разрешены	В [мин.]
Средний ток аналогового входа	1		В [макс.]
Дрейф среднего входного тока ²	± 0.1	NOXREF бит актив., если $V_{REF} < 0.3В$ NOXREF бит пасс., если $V_{REF} > 0.65В$	мкА/В [сред.]
Напряжение срабатывания	0.3		нА/В / $^\circ C$ [сред.]
«Отсутствие внешнего ИОН»	0.65		В [мин.]
		В [макс.]	

ПАРАМЕТР	ADuC824BS	УСЛОВИЯ ИЗМЕРЕНИЯ	ЕДИНИЦЫ
СИСТЕМНАЯ КАЛИБРОВКА АЦП Предел калибровки полной шкалы Предел калибровки нуля Входного диапазона	+1.05 x FS -1.05 x FS 0.8 x FS 2.1 x FS		В [макс.] В [мин.] В [мин.] В [макс.]
АНАЛОГОВЫЕ ВЫХОДЫ (ЦАП) Диапазон по напряжению Величина резистивной нагрузки Величина емкостной нагрузки Выходной импеданс Втекающий ток (I_{SINK})	0 – V_{REF} 0 – AV_{DD} 10 100 0.5 50	DACRN = 0 в DACCON SFR DACRN = 1 в DACCON SFR с выхода ЦАП на AGND с выхода ЦАП на AGND	В [сред.] В [сред.] КОм [сред.] пФ [сред.] Ом мкА [сред.]
ДАТЧИК ТЕМПЕРАТУРЫ Точность Температурное сопротивление (θ_{JA})	± 2 90		$^{\circ}C$ [сред.] $^{\circ}C/Wt$ [сред.]
ИСТОЧНИКИ КОНТРОЛЯ ЦЕЛОСТНОСТИ ПРЕОБРАЗОВАТЕЛЯ Ток AIN+ Ток AIN- Начальный допуск при +25 $^{\circ}C$ Дрейф	-100 +100 ± 10 0.03	AIN+ выбранный положительный вход основного АЦП AIN- выбранный отрицательный вход дополнительного АЦП	нА [сред.] нА [сред.] % [сред.] %/ $^{\circ}C$ [сред.]
ИСТОЧНИКИ ТОКА ВОЗБУЖДЕНИЯ Выходной ток Начальный допуск при +25 $^{\circ}C$ Дрейф Начальное согласование токов Взаимный дрейф Нестабильность по входу (AV_{DD}) Нестабильность по нагрузке Допустимое выходное напряжение	-200 ± 10 200 ± 1 20 1 0.1 $AV_{DD} - 0.6$ AGND	с каждого источника при +25 $^{\circ}C$ AVDD = 5В + 5%	мкА [сред.] % [сред.] ppm/ $^{\circ}C$ [сред.] % [сред.] ppm/ $^{\circ}C$ [сред.] мкА/В [сред.] мкА/В [сред.] В [макс.] В [мин.]
ЛОГИЧЕСКИЕ ВХОДЫ Все, кроме SCLOCK, RESET и XTAL1 V_{INL} , низкий уровень напряжения V_{INH} , низкий уровень напряжения Только SCLOCK и RESET ² V_{T+} V_{T-} $V_{T+} - V_{T-}$ Входные токи Порт 0, P1.2 – P1.7, EA/ SCLOCK, SDATA/MOSI, MISO, SS/ ^{1,2} RESET	0.8 0.4 2.0 1.3/3 0.95/2.5 0.8/1.4 0.4/1.1 0.3/0.85 0.3/0.85 ± 10 -10/-40 ± 10 ± 10 35/105	$DV_{DD} = 5В$ $DV_{DD} = 3В$ на входе триггер Шмидта $DV_{DD} = 5В$ $DV_{DD} = 3В$ $DV_{DD} = 5В$ $DV_{DD} = 3В$ $DV_{DD} = 5В$ $DV_{DD} = 3В$ $V_{IN} = 0 В$ или V_{DD} $V_{IN} = 0 В$, $DV_{DD} = 5В$, вн. нагрузка $V_{IN} = V_{DD}$, $DV_{DD} = 5В$ $V_{IN} = 0 В$, $DV_{DD} = 5В$ $V_{IN} = V_{DD}$, $DV_{DD} = 5В$, вн. нагрузка	В [макс.] В [макс.] В [мин.] В [мин.]/В [макс.] В [мин.]/В [макс.] В [мин.]/В [макс.] В [мин.]/В [макс.] В [мин.]/В [макс.] В [мин.]/В [макс.] мкА [макс.] мкА [мин./макс.] мкА [макс.] мкА [макс.] мкА [мин./макс.]

ПАРАМЕТР	ADuC824BS	УСЛОВИЯ ИЗМЕРЕНИЯ	ЕДИНИЦЫ
P1.0, P1.1, Порты 2 и 3	±10 -180 -660 -20 -75	$V_{IN} = V_{DD}$, $DV_{DD} = 5B$ $V_{IN} = 2 B$, $DV_{DD} = 5B$ $V_{IN} = 450 мВ$, $DV_{DD} = 5B$	мкА [макс.] мкА [мин.] мкА [макс.] мкА [мин.] мкА [макс.]
Входная емкость	5	все цифровые входы	пФ [мин.]
РЕЗОНАТОР (XTAL1 и XTAL2)			
Логические входы, только XTAL1			
V_{INL} , низкий уровень напряжения	0.8 0.4	$DV_{DD} = 5B$ $DV_{DD} = 3B$	В [макс.] В [макс.]
V_{INH} , низкий уровень напряжения	3.5 2.5	$DV_{DD} = 5B$ $DV_{DD} = 3B$	В [мин.] В [мин.]
Входная емкость XTAL1	18		пФ [сред.]
Выходная емкость XTAL2	18		пФ [сред.]
ЛОГИЧЕСКИЕ ВЫХОДЫ (без XTAL2) ²			
V_{OH} , высокий выходной уровень	2.4 2.4	$V_{DD} = 5 В$, $I_{SOURCE} = 80 мкА$ $V_{DD} = 3 В$, $I_{SOURCE} = 20 мкА$	В [мин.] В [мин.]
V_{OL} , низкий выходной уровень ¹³	0.4 0.4 0.4	$I_{SINK} = 8 мА$, SCLOCK, SDATA/MOSI $I_{SINK} = 10 мА$, P1.0 и P1.1 $I_{SINK} = 1.6 мА$, все другие	В [макс.] В [макс.] В [макс.]
Ток утечки в Z-состоянии	±10		мкА [макс.]
Емкость выхода в Z-состоянии	5		пФ [сред.]
МОНИТОР ИСТОЧНИКА ПИТАНИЯ			
Диапазон порога срабатывания по AV_{DD}	2.63 4.63	программируются 4 точки через TPA1-0 в PSMCON	В [мин.] В [макс.]
Точность установки порога по AV_{DD}	±3.5		% [макс.]
Диапазон порога срабатывания по DV_{DD}	2.63 4.63	программируются 4 точки через TPD1-0 в PSMCON	В [мин.] В [макс.]
Точность установки порога по DV_{DD}	±3.5		% [макс.]
СТОРОЖЕВОЙ ТАЙМЕР			
Величина периода	0 2000	программируются 9 временных интервалов через PRE3-0 в WDCON	мс [мин.] мс [макс.]
ТАКТОВАЯ ЧАСТОТА ЯДРА МПУ			
Тактовая частота МПУ ²	98.3 12.58	тактовая частота генерируется встроенной системой ФАПЧ. программируется через CD2-0 в PLLCON SFR	КГц [мин.] МГц [макс.]
ЗАДЕРЖКА ЗАПУСКА			
По включению питания	300		мс [сред.]
По выходу из холостого режима	1		мс [сред.]
По выходу из «питание снято»	1		мс [сред.]
Осциллятор включен		Бит OSC_PD=0 в PLLCON SFR	
По сигналу прерывания INT0/	1		мс [сред.]
По сигналу прерывания SPI/I2C	1		мс [сред.]
По внешнему сигналу RESET	3.4		мс [сред.]
Осциллятор остановлен		Бит OSC_PD=1 в PLLCON SFR	
По внешнему сигналу RESET	0.9		с [сред.]
По внешнему сигналу RESET (норм)	3.3		мс [сред.]
По сбросу от WDT	3.3	Управляется через WDCON SFR	мс [сред.]

ПАРАМЕТР	ADuC824BS	УСЛОВИЯ ИЗМЕРЕНИЯ	ЕДИНИЦЫ
СПЕЦИФИКАЦИЯ Flash/ЕЕ ПАМЯТИ ¹⁴			
Надежность ¹⁵	100000		циклов [мин.]
Сохранность данных ¹⁶	100		лет [мин.]
ТРЕБОВАНИЯ К ИСТОЧНИКУ ПИТАНИЯ		Источники DV _{DD} и AV _{DD} можно устанавливать независимо	
Напряжения источников питания			
AV _{DD} , 3В номинально	2.7		В [мин.]
	3.6		В [макс.]
AV _{DD} , 3В номинально	4.75		В [мин.]
	5.25		В [макс.]
DV _{DD} , 3В номинально	2.7		В [мин.]
	3.6		В [макс.]
DV _{DD} , 3В номинально	4.75		В [мин.]
	5.25		В [макс.]
Токи источников питания ^{17, 18}			
в нормальном режиме			
Ток от DV _{DD}	4	DV _{DD} = 4.75В - 5.25В, CLK = 1.57 МГц	мА [макс.]
	2.1	DV _{DD} = 2.7В - 3.6В, CLK = 1.57 МГц	мА [макс.]
Ток от AV _{DD}	170	DV _{DD} = 5.25В, CLK = 1.57 МГц	мкА [макс.]
Ток от DV _{DD}	15	DV _{DD} = 4.75В - 5.25В, CLK = 12.58 МГц	мА [макс.]
	8	DV _{DD} = 2.7В - 3.6В, CLK = 12.58 МГц	мА [макс.]
Ток от AV _{DD}	170	DV _{DD} = 5.25В, CLK = 12.58 МГц	мкА [макс.]
в холостом режиме			
Ток от DV _{DD}	1.2	DV _{DD} = 4.75В - 5.25В, CLK = 1.57 МГц	мА [макс.]
	750	DV _{DD} = 2.7В - 3.6В, CLK = 1.57 МГц	мкА [макс.]
Ток от AV _{DD}	140	DV _{DD} = 5.25В, CLK = 1.57 МГц	мкА [макс.]
Ток от DV _{DD}	2	DV _{DD} = 4.75В - 5.25В, CLK = 12.58 МГц	мА [макс.]
	1	DV _{DD} = 2.7В - 3.6В, CLK = 12.58 МГц	мА [макс.]
Ток от AV _{DD}	140	DV _{DD} = 5.25В, CLK = 12.58 МГц	мкА [макс.]
в режиме «питание снято»		CLK = 1.57 МГц или 12.58 МГц	
Ток от DV _{DD}	50	DV _{DD} = 4.75В - 5.25В, Осц вкл, ТИС вкл	мкА [макс.]
Ток от DV _{DD}	20	DV _{DD} = 2.7В - 3.6В, Осц вкл, ТИС вкл	мкА [макс.]
Ток от AV _{DD}	1	AV _{DD} = 5.25В, Осц. вкл. или выкл.	мкА [макс.]
Ток от DV _{DD}	20	DV _{DD} = 4.75В - 5.25В, Осц. выкл.	мкА [макс.]
Ток от DV _{DD}	5	DV _{DD} = 2.7В - 3.6В, Осц. выкл.	мкА [макс.]
Средние дополнительные токи источников питания (AI _{DD} , DI _{DD})			
Периферия PSM	50		мкА [сред.]
Основной АЦП	1		мА [сред.]
Дополнительный АЦП	500		мкА [сред.]
ЦАП	150		мкА [сред.]
Сдвоенный источник тока	400		мкА [сред.]

ПРИМЕЧАНИЯ:

¹Температурный диапазон от -40°C до +85°C.

²Эти данные не являются результатом испытаний, но гарантируются самой конструкцией и/или характеристикой при выпуске устройства.

³Данная ошибка может быть скомпенсирована системной калибровкой нуля.

⁴Основной АЦП калибруется при изготовлении @+25°C, AV_{DD}=DV_{DD}=5В, что обеспечивает ошибку верхнего предела (полной шкалы) 10 мкВ. Если условия эксплуатации по питанию или температуре существенно отличаются от приведенных, то внутренняя калибровка полной шкалы восстановит данную цифру (10 мкВ). Системная калибровка нуля и верхнего предела ликвидирует данную ошибку.

⁵Дрейф усиления является дрейфом диапазона устройства. Для расчета дрейфа полной шкалы добавьте к дрейфу усиления дрейф смещения.

⁶Дополнительный АЦП калибруется при изготовлении @+25°C, $AV_{DD}=DV_{DD}=5В$, что обеспечивает ошибку верхнего предела (полной шкалы) – 2.5 МЗР. Системная калибровка нуля и верхнего предела ликвидирует данную ошибку.

⁷Линейность ЦАП и спецификации по переменному току рассчитываются используя:

уменьшенный диапазон от 48 до 4095 при 0 до V_{REF}

уменьшенный диапазон от 48 до 3995 при 0 до V_{DD}

⁸Ошибка усиления является величиной ошибки диапазона ЦАП.

⁹В общей терминологии, диапазон биполярного входного напряжения основного АЦП = $\pm(V_{REF} 2^{RN})/125$, где:

V_{REF} = REFIN(+) относительно REFIN(-) и $V_{REF} = 1.25В$, если выбран внутренний V_{REF} .

RN = десятичный эквивалент RN2, RN1, RN0,

т.е. $V_{REF} = 2.5В$ и RN2, RN1, RN0 = 1, 1, 0, Диапазон = $\pm 1.28В$.

в однополярном режиме, в нашем примере, эффективный диапазон составляет 0В – 1.28В.

¹⁰Когда для АЦП выбран внутренний ИОН через XREF0 и XREF1 биты в ADC0CON и ADC1CON, соответственно, то в качестве опорного напряжения используется 1.25В.

¹¹В биполярном режиме на дополнительный АЦП можно подавать напряжение не менее $A_{GND} - 30мВ$, как указано в предельно допустимых параметрах. Несмотря на то, что биполярный режим представляется от $-V_{REF}$ до $+V_{REF}$, отрицательное напряжение ограничено величиной – 30мВ.

¹²Контакты I²C или SPI для данного испытания конфигурируются как цифровые входы.

¹³Контакты сконфигурированы только для режима I²C.

¹⁴Характеристики сохранности данных Flash/EE памяти справедливы как для памяти программ, так и данных.

¹⁵Надежность определяется как 100К циклов, в соответствии с JEDEC Std. 22 Method A117 и измеряется при –40°C, +25°C и +85°C; типовая надежность при температуре +25°C составляет 700К циклов.

¹⁶Эквивалентное время сохранности при температуре перехода $T_j = 55 С$, в соответствии с JEDEC Std. 22 Method A117. Интервал сохранности, основанный на энергии активации 0.6 эВ, уменьшается с ростом температуры, как показано на Рис.27 в разделе описания Flash/EE памяти настоящего ТО.

¹⁷Потребление тока от источника измеряется для 3-х режимов – Нормального, Холостого, Питание Снято при следующих условиях:

1) Нормальный: Reset = 0.4В, Цифровые порты В/В = отключены от нагрузки, Тактовая частота ядра меняется через биты CD в PLLCON, Ядро исполняет программный цикл во внутренней памяти.

2) Холостой: Reset = 0.4В, Цифровые порты В/В = отключены от нагрузки, Тактовая частота ядра меняется через биты CD в PLLCON, PCON.0 = 1, Выполнение программы приостановлено.

3) Питание Снято: Reset = 0.4В, Все контакты P0 и контакты P1.2 – P1.7 = 0.4В, Все прочие цифровые порты В/В отключены от нагрузки, Тактовая частота ядра меняется через биты CD в PLLCON, PCON.1 = 1, Выполнение программы приостановлено, Осциллятор либо включен, либо выключен в соответствии с битом OSC_PD (PLLCON.7) в PLLCON SFR.

¹⁸Ток, потребляемый от источника DV_{DD} во время исполнения цикла программирования или стирания Flash/EE памяти увеличится приблизительно на 3 мА (при 3В питании) и на 10 мА (при 5В питании).

Спецификации могут изменяться без специального извещения.

ВРЕМЕННЫЕ СПЕЦИФИКАЦИИ (Доступны в оригинале)

Рис.2. Временные характеристики

Рис.3. Цикл чтения внешней памяти программ

Рис.4. Цикл чтения внешней памяти данных

Рис.5. Цикл записи во внешнюю память данных

Рис.6. Работа UART в режиме сдвигового регистра

Рис.7. Работа I²C – совместимого интерфейса

Рис.8. Работа SPI в режиме Ведущего (CPHA = 1)

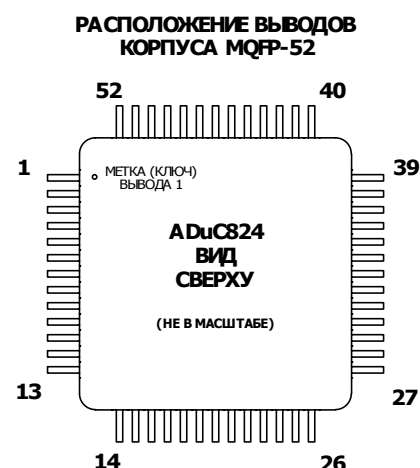
Рис.9. Работа SPI в режиме Ведущего (CPHA = 0)

Рис.10. Работа SPI в режиме Ведомого (CPHA = 1)

Рис.11. Работа SPI в режиме Ведомого (CPHA = 0)

ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ¹ (T=25°C, если не оговаривается особо)

AV _{DD} к AGND	-0.3 В .. +7 В
AV _{DD} к DGND	-0.3 В .. +7 В
DV _{DD} к AGND	-0.3 В .. +7 В
DV _{DD} к DGND	-0.3 В .. +7 В
AGND к DGND ²	-0.3В .. +0.3В
AV _{DD} к DV _{DD}	-2В .. +5В
Аналоговое вх. напряжение к AGND ³	-0.3В .. AV _{DD} +0.3В
Напряжение ИОН к AGND	-0.3В .. AV _{DD} +0.3В
Входной ток на AIN/REF	30 мА
Напряжение цифрового входа к DGND	-0.3В .. DV _{DD} +0.3В
Напряжение цифрового выхода к DGND	-0.3В .. DV _{DD} +0.3В
Диапазон рабочих температур	-40°C .. +85°C
Температура хранения	-65°C .. +150°C
Температура перехода	+150°C
Температурное сопротивление θ_{JA}	90°C/Вт
Температура выводов при пайке	
В паровой фазе (60 с)	+215°C
Инфракрасная (15 с)	+220°C



¹Превышение указанных выше предельных параметров может вызвать повреждение устройства. Длительная эксплуатация устройства при предельных значениях параметров может повлиять на его надежность.

²Контакты AGND и DGND замкнуты накоротко внутри корпуса ADuC824.

³Применительно к контактам P1.2 – P1.7, работающим как аналоговые или цифровые входы..

СПРАВКА ДЛЯ ЗАКАЗА

Модель	Температурный диапазон	Описание корпуса	Тип корпуса
ADuC824BS	-40°C .. +85°C	52-контактный пластмассовый квадратный плоский (PQFP)	S-52

Среда разработки QuickStart™ Описание

EVAL-ADUC824QS

Система разработки для МПУ ADuC824, содержащая:

- оценочную плату (evaluation board)
- кабель последовательного порта
- сетевой модуль источника питания
- последовательный загрузчик для Windows (WSD)
- отладчик для Windows (DeBug)
- программу отладки для Windows (ADSIM)
- программу анализа АЦП для Windows (WASP)
- ассемблер 8051 (Metalink)
- С компилятор (Keil) (оценочный на 2К ПЗУ)
- пример программного обеспечения
- документация

ВНИМАНИЕ

Устройство чувствительно к электростатическим разрядам (ESD). Разряд до 4000В может произойти неконтролируемым образом при простом прикосновении. Несмотря на то, что устройство имеет цепи защиты, для сохранения его работоспособности следует предпринять соответствующие меры.



ОПИСАНИЕ КОНТАКТОВ

№	Мнемоника	Тип	Функция
1	P1.0/T2	I/O	Порт 1.0 может работать как цифровой вход или выход и имеет внутренние резисторы на питание, как описывается ниже для Порта 3. P1.0 имеет усиленный привод на втекание тока до 10 мА и его так же можно использовать для приема синхроимпульсов на Таймер 2. Если включено, Счетчик 2 инкрементируется по отрицательному перепаду на входе T2.
2	P1.1/T2EX	I/O	Порт 1.1 может работать как цифровой вход или выход и имеет внутренние резисторы на питание, как описывается ниже для Порта 3. P1.1 имеет усиленный привод на втекание тока до 10 мА, и его так же можно использовать для приема сигнала управления Таймером 2. Если включено, отрицательный перепад на входе T2EX вызовет захват величины Таймера 2 или его перезагрузку.
3	P1.2/DAC/IEXC1	I/O	Порт 1.2 не имеет цифрового выходного каскада; он работает только как цифровой вход, для чего необходимо записать «0» в бит порта. Как цифровой вход P1.2 считывает внешний высокий или низкий уровни со своего контакта. Можно так же сконфигурировать его на вывод аналогового напряжения с выхода ЦАП. Если и выходной сигнал ЦАП не используется, то на этот контакт можно запрограммировать вывод одного или двух токов возбуждения (200 мкА или 2 x 200мкА).
4	P1.3/AIN5/IEXC2	I	Порт 1.3 не имеет цифрового выходного каскада; он работает только как цифровой вход, для чего необходимо записать «0» в бит порта. Как цифровой вход P1.3 считывает внешний высокий или низкий уровни со своего контакта. Его можно использовать на ввод аналогового напряжения (AIN5) в дополнительный АЦП или запрограммировать на вывод одного или двух токов возбуждения (200 мкА или 2 x 200мкА).
5	AVDD	S	Источник аналогового питания 3В или 5В.
6	AGND	S	Аналоговая земля. Общий вывод для аналоговой части схемы.
7	REFIN(-)	I	Вывод отрицательного входа опорного напряжения.
8	REFIN(+)	I	Вывод положительного входа опорного напряжения.
9-11	P1.4 - P1.6	I	Порты 1.4 – 1.6 не имеют цифрового выходного каскада; они работают только как цифровые входы, для чего необходимо записать «0» в соответствующие биты портов. Как цифровые входы порты считывают внешние высокие или низкие уровни со своих контактов. Данные порты имеют также следующие аналоговые функции:
	P1.4/AIN1	I	Положительный аналоговый вход основного АЦП
	P1.5/AIN2	I	Отрицательный аналоговый вход основного АЦП
	P1.6/AIN3/IEXC	I	Аналоговый вход дополнительного АЦП или положительный мультиплексированный вход основного АЦП
12	P1.7/AIN4/DAC	I/O	Порт 1.7 не имеет цифрового выходного каскада; он работает только как цифровой вход, для чего необходимо записать «0» в бит порта. Как цифровой вход P1.7 считывает внешний высокий или низкий уровни со своего контакта. Его можно использовать на ввод аналогового напряжения (AIN4) в дополнительный АЦП или как отрицательный вход основного АЦП. Его также можно сконфигурировать на вывод выходного напряжения с ЦАП.
13	SS/	I	Вход Выбора Ведомого интерфейса SPI. Этот контакт «слабо подтянут к питанию».
14	MISO	I/O	Вход Ведущего/Выход Ведомого интерфейса SPI. Этот контакт «слабо подтянут к питанию».
15	RESET	I	Вход Reset. Высокий уровень на этом контакте в течение 24 циклов тактовой частоты при работающем осцилляторе осуществляет сброс устройства. На этом входе установлен триггер Шмидта и он «слабо подтянут к питанию».
16-19	P3.0 – P3.3	I/O	P3.0 – P3.3 – выводы двунаправленных портов с внутренними резисторами на питание. Выводы Порта 3, в триггеры которых записаны «1», устанавливаются с помощью «подтягивающих к питанию» резисторов в высокое состояние и при этом условии могут использоваться как входы. Из-за наличия резисторов на питание, при использовании порта как входа, и при низком уровне на нем, во внешнюю цепь будет втекать ток. При работе в качестве выхода и генерации на выходе перехода «0-1» порт в течение 2-х периодов тактовой частоты находится в фазе активного (и поэтому

№	Мнемоника	Тип	Функция
			сильноточного) разряда переходных емкостей. Порт 3 обладает так же рядом вторичных, описываемых ниже, функций.
	P3.0/RXD	I/O	Вход Данных (асинхронного) Приемника (UART) или Вход/Выход Данных (синхронного) последовательного порта обмена.
	P3.1/TXD	I/O	Выход Данных Передатчика (асинхронного) (UART) или Выход синхросигналов (синхронного) последовательного порта обмена.
	P3.2/INT0/	I/O	Прерывание 0, вход прерывания, программируемый на срабатывание по фронту либо по уровню, имеет два уровня приоритета. Данный вывод можно использовать как вход управления разрешением Таймера 0.
	P3.3/INT1/	I/O	Прерывание 1, вход прерывания, программируемый на срабатывание по фронту либо по уровню, имеет два уровня приоритета. Данный вывод можно использовать как вход управления разрешением Таймера 1.
20,34,48	DVDD	S	Источник цифрового питания 3В или 5В.
21,35,37	DGND	S	Цифровая земля. Общий вывод для цифровой части схемы.
22-25	P3.4 –P3.7	I/O	P3.4 – P3.7 – выводы двунаправленных портов с внутренними резисторами на питание. Выводы Порта 3, в триггеры которых записаны «1» устанавливаются с помощью «подтягивающих к питанию» резисторов в высокое состояние и при этом условии могут использоваться как входы. Из-за наличия резисторов на питание, при использовании порта как входа, и при низком уровне на нем, во внешнюю цепь будет втекать ток. При работе в качестве выхода и генерации на выходе перехода «0 - 1» порт в течение двух периодов тактовой частоты находится в фазе активного (и поэтому сильноточного) разряда переходных емкостей. Порт 3 обладает так же рядом вторичных, описываемых ниже, функций.
	P3.4/T0	I/O	Вход Таймера/Счетчика 0.
	P3.5/T1	I/O	Вход Таймера/Счетчика 1
	P3.6/WR/	I/O	Выходной сигнал управления записью. Защелкивает байт данных из Порта 0 во внешнюю память данных.
	P3.7/RD/	I/O	Выходной сигнал управления чтением. Разрешает передачу данных из внешней памяти в Порт 0.
26	SCLK	I/O	Синхросигнал последовательного интерфейса I2C или SPI. Как вход, имеет входной триггер Шмидта и «слабо подтянут к питанию», если он не выводит низкий логический уровень.
27	SDATA/MOSI	I/O	Последовательный ввод/вывод данных для I ² C интерфейса. Выход Ведущего/Вход Ведомого для интерфейса SPI. Этот вывод «слабо подтянут к питанию», если он не выводит низкий логический уровень.
28-31	P2.0 – P2.3 (A8 – A11) (A16 – A19)	I/O	Порт 2 является двунаправленным портом с внутренними резисторами на питание. Выводы P.2, в триггеры которых записаны «1» устанавливаются с помощью «подтягивающих к питанию» резисторов в высокое состояние и при этом условии могут использоваться как входы. Из-за наличия резисторов на питание, при использовании порта как входа, и при низком уровне на нем, во внешнюю цепь будет втекать ток. Порт 2 содержит старший байт адреса при обращении к внешней памяти программ и средний и старший байты адресов при обращении к 24-разрядному пространству памяти данных.
32	XTAL1	I	Вход инвертора кристаллического осциллятора.
33	XTAL2 (выход)	O	Выход инвертора кристаллического осциллятора.
36-39	P2.4 – P2.7 (A12 – A15) (A20 – A23)	I/O	Порт 2 является двунаправленным портом с внутренними резисторами на питание. Выводы Порта 2, в триггеры которых записаны «1» устанавливаются с помощью «подтягивающих к питанию» резисторов в высокое состояние и при этом условии могут использоваться как входы. Из-за наличия резисторов на питание, при использовании порта как входа, и при низком уровне на нем, во внешнюю цепь будет втекать ток. Порт 2 содержит старший байт адреса при обращении к внешней памяти программ и средний и старший байты адресов при обращении к 24-разрядному пространству памяти данных.
40	EA/	I/O	Логический вход разрешения доступа к внешней памяти. Высокий уровень на этом входе разрешает выборку кода из внутренней памяти программ с адресами: от 0000H до 1FFFFH. Низкий уровень на этом входе разрешает выборку кода из внешней памяти программ. Для определения режима извлечения кода (из внешней или внутренней памяти) состояния входа EA/

№	Мнемоника	Тип	Функция
41	PSEN/	O	<p>опрашивается в конце внешнего сигнала RESET или в цикле подачи питания. EA/ можно использовать как контакт ввода/вывода для внешней эмуляции и поэтому уровень напряжения на этом выводе не должен изменяться во время обычной работы так как изменение может вызвать эмулирующее прерывание, которое остановит исполнение кода.</p> <p>Логический выход разрешения внешней памяти. Этот выход дает сигнал, который разрешает доступ внешней памяти программ к магистрали во время операций выборки. Он активен в каждом цикле из шести периодов осциллятора, исключая доступ к внешней памяти данных. Это вывод остается в высоком логическом состоянии при обращении к внутренней памяти программ.</p> <p>PSEN/ можно использовать для разрешения режима последовательной загрузки, если его удерживать при низком логическом уровне к моменту окончания внешнего сигнала RESET или в цикле подачи питания.</p>
42	ALE	O	<p>Логический выход разрешения защелкивания (фиксации) адреса. Этот выход используется для фиксации младшего байта адреса (и байта страницы при доступе к 24-разрядному пространству адреса данных) внешней памяти во время циклов доступа к памяти кода или данных. Он активен в каждом цикле из шести периодов осциллятора, исключая доступ к внешней памяти данных. Его можно запретить установкой бита PCON.4 в PCON SFR.</p>
43-46	P0.0 – P0.3 (AD0 – AD3)	I/O	<p>P0.0 – P0.3 являются выводами части 8-битного двунаправленного Porta 0 с открытым стоком. Если в Порт 0 записаны «1», то соответствующие выводы будут «плавающими» и в этом состоянии их можно использовать как входы с высоким импедансом. Для правильной передачи портом P0 высокого логического уровня необходимо подключение внешних резисторов на питание. Порт 0 также мультиплексирован с младшим байтом адреса и магистралью данных при доступе к внешней памяти программ и данных. В данном случае порт при передаче «1» использует активное (сильноточное) «подтягивание к источнику питания».</p>
49-52	P0.4 – P0.7 (AD4 – AD7)	I/O	<p>P0.4 – P0.7 являются выводами части 8-битного двунаправленного Porta 0 с открытым стоком. Если в Порт 0 записаны «1», то соответствующие выводы будут «плавающими» и в этом состоянии их можно использовать как входы с высоким импедансом. Для правильной передачи портом P0 высокого логического уровня необходимо подключение внешних резисторов на питание. Порт 0 также мультиплексирован с младшим байтом адреса и магистралью данных при доступе к внешней памяти программ и данных. В данном случае порт при передаче «1» использует активное (сильноточное) «подтягивание к источнику питания».</p>

* I = ввод, O = вывод, S = питание.

ПРИМЕЧАНИЯ:

1. В настоящем описании «УСТАНОВЛЕН (SET)» предполагает состояние логической «1», а «СБРОШЕН (CLEARED)» - логического «0», если не утверждается противоположное.
2. В настоящем описании «УСТАНОВЛЕН (SET)» и «СБРОШЕН (CLEARED)» также предполагает, что бит установлен или автоматически сброшен аппаратурой ADuC824, если не утверждается противоположное.
3. Программы пользователя не должны записывать «1» в зарезервированные и неиспользуемые биты, поскольку последние могут использоваться в будущих изделиях.

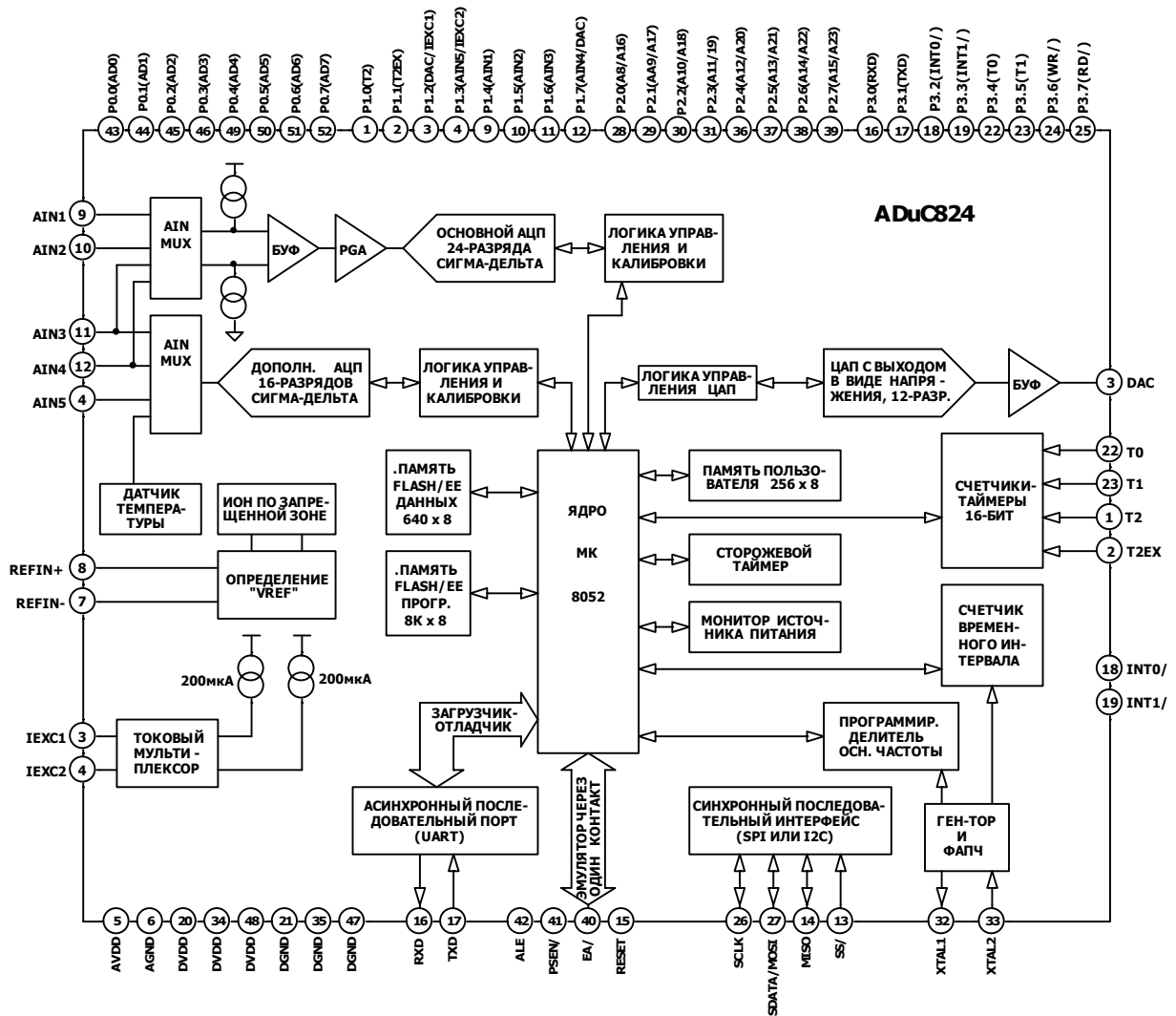


Рис.12. Блок-схема ADuC824.

ОРГАНИЗАЦИЯ ПАМЯТИ

Подобно 8051, ADuC824 имеет разделенное пространство памяти программ и данных, как показано на Рис.13 и Рис.14. Если пользователь подает питание или сброс на устройство при низком потенциале на контакте EA/, то оно будет выполнять код (программу) из области внешней памяти, в противном случае устройство выполняет код из своих внутренних 8К байт Flash/EE памяти программ. Это внутреннее пространство кода можно загружать через последовательный порт UART даже тогда, когда устройство находится в составе системы.

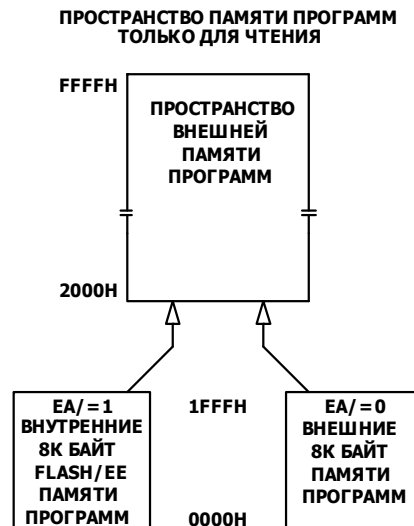


Рис.13. Карта памяти программ.

Адресное пространство памяти данных состоит из внутренней и внешней областей. Область внутренней памяти подразделяется на четыре отдельных блока, а именно, нижние (младшие) 128 байт ОЗУ(RAM), верхние (старшие) 128 байт ОЗУ, 128 байт области регистров специальных функций (SFR) и 640 байт Flash/EE памяти данных. Хотя старшие 128 байт ОЗУ и область SFR разделяют одно и то же пространство адресов, доступ к ним осуществляется через различные режимы адресации.

К младшим 128 байтам памяти данных можно получить доступ через прямую или косвенную адресацию, к старшим 128 байтам ОЗУ – через косвенную, а к области SFR только через прямую адресацию.

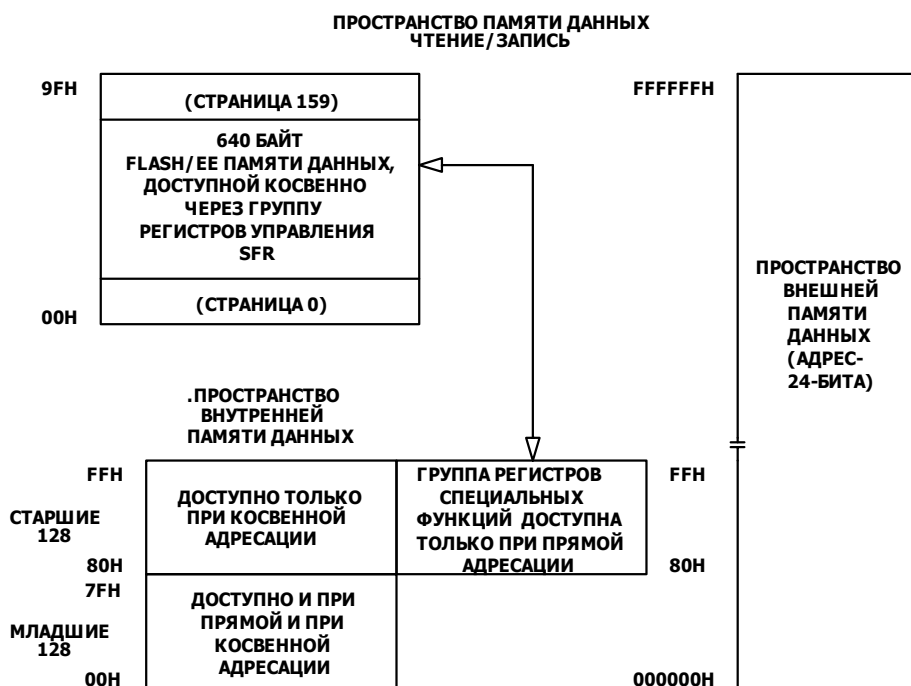


Рис.14. Карта памяти данных.

На Рис.14 показана организация дополнительных 640 байт Flash/EE памяти данных, доступных пользователю. Эта память данных доступна косвенно через группу регистров управления, расположенных в области регистров специальных функций (SFR). Доступ к Flash/EE памяти данных обсуждается в подробностях далее в разделе «Flash/EE память данных» настоящей спецификации.

Внешнюю память данных можно расширить до 16Мбайт. Это является значительным усовершенствованием по сравнению с 64Кбайтами стандартного ядра, совместимого с 8051. Более детализовано внешняя память данных обсуждается в разделе «Рассмотрение аппаратуры ADuC824».

Младшие 128 байт внутренней памяти данных организованы так, как показано на Рис.15. 32 младших байта сгруппированы в 4 банка по восемь регистров, адресуемых как R0-R7. Следующие 16 байт (128 бит) над банками регистров, с адресами от 20H до 2FH, образуют блок памяти с битовой адресацией, с адресами бит от 00H до 7FH. Стек можно располагать в любом месте внутренней памяти и его глубина может достигать 256 байт.

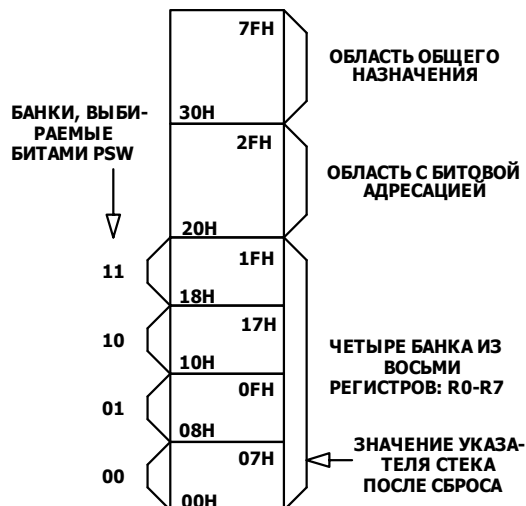


Рис.15. Младшие 128 байт внутренней памяти данных.

По сигналу «сброс (Reset)» указатель стека устанавливается на адрес 07H и инкрементируется для того, чтобы начать с адреса 08H, который является также первым регистром банка 1 регистров (R0). Таким образом, если необходимо использовать более одного банка регистров, указатель стека следует устанавливать в ту область RAM, которая не используется для хранения данных.

Область регистров SFR располагается в старших 128 байтах пространства внутренней памяти данных, и она доступна только с помощью прямой адресации. Эта область обеспечивает связь между центральным процессором (CPU) и всей внутренней периферией. Блок схема, показывающая программную модель ADuC824 с использованием области SFR, показана на Рис.16. Полная карта SFR регистров показана на Рис.17.

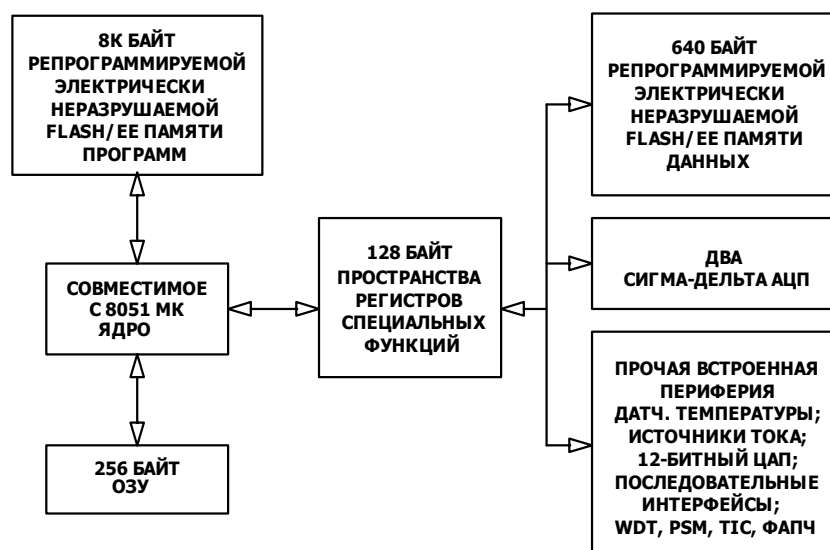


Рис.16. Программная модель.

ОБЗОР РЕГИСТРОВ СПЕЦИАЛЬНЫХ ФУНКЦИЙ

Аккумулятор (ACC)

ACC является регистром аккумулятора, и он используется для выполнения математических операций, включая сложение, вычитание, целочисленное умножение и деление, а также булевскую обработку битов. Мнемоника команд обращения к аккумулятору выполняется через символ «А».

(B) SFR

Регистр (B) используется совместно с аккумулятором для операций умножения и деления. Для инструкций другого типа его можно использовать как оперативный регистр общего назначения.

SFR Указателя стека

Регистр указателя стека (SP) используется для запоминания адреса внутреннего RAM (ОЗУ), который называется «вершиной стека». Регистр SP инкрементируется до того, как данные записываются по командам PUSH и CALL. В то время, как стек может располагаться в любом месте внутреннего ОЗУ, регистр SP по сбросу инициализируется в адрес 07. Это обуславливает то, что стек начинается с адреса 08H.

Указатель Данных

Регистр DPTR является указателем данных и составлен из трех 8-битовых регистров, называемых DPP (байт номера страницы), DPH (старший байт) и DPL (младший байт). Они используются для обеспечения доступа программного кода к внешним данным. С регистром можно работать как с 24-битным (DPTR) либо как с тремя независимыми 8-битными регистрами (DPP, DPH, DPL).

SFR Слова Состояния Программы (PSW).

Регистр PSW является словом состояния программы, которое содержит биты, отражающие текущее состояние процессора, как показано ниже в таблице I.

Адрес SFR	D0H
Значение по включению питания	00H
Битовая адресация	Да

CY	AC	F0	RS1	RS0	OV	F1	P
-----------	-----------	-----------	------------	------------	-----------	-----------	----------

Таблица I. Назначение бит в PSW SFR

Бит	Имя	Описание		
7	CY	Флаг переноса		
6	AC	Доп. флаг переноса		
5	F0	Флаг общего назначения		
4	RS1	Биты выбора банка регистров		
3	RS0	RS1	RS0	Выбранный Банк
		0	0	0
		0	1	1
		1	0	2
		1	1	3
2	OV	Флаг переполнения		
1	F1	Флаг общего назначения		
0	P	Бит паритета		

SFR Управления Питанием

Регистр управления питанием (PCON) содержит биты вариантов управления питанием с понижением уровня потребления, а так же флаги состояния (статусные) общего назначения, как показано в таблице II.

Адрес SFR	87H
Значение по включению питания	00H
Битовая адресация	Нет

SMOD	SERIPD	INTOPD	ALEOFF	GF1	GF0	PD	IDL
-------------	---------------	---------------	---------------	------------	------------	-----------	------------

Таблица II. Назначение бит в PCON SFR

Бит	Имя	Описание
7	SMOD	Удвоение скорости обмена UART
6	SERIPD	Разрешение прерывания от I2C/SPI в режиме «Питание Снято»
5	INTOPD	Разрешение прерывания INTO в режиме «Питание Снято» (Power Down)
4	ALEOFF	Запрет выхода ALE
3	GF1	Бит флага общего назначения
2	GF0	Бит флага общего назначения
1	PD	Разрешение режима «Питание Снято»
0	IDL	Разрешение холостого режима

РЕГИСТРЫ СПЕЦИАЛЬНЫХ ФУНКЦИЙ

Все регистры, кроме счетчика команд и 4 банков регистров общего назначения, размещаются в области регистров специальных функций (SFR). SFR включают в себя регистры управления, конфигурации и регистры данных, которые осуществляют интерфейс между CPU и внутренней периферией кристалла.

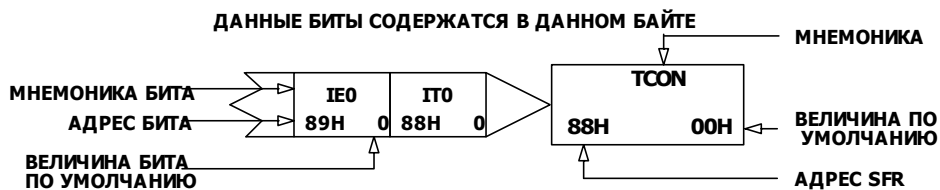
На Рис.17 показана полная карта размещения SFR и содержимое SFR по сбросу (RESET); «не исп. (не используется)» указывает на незанятые элементы SFR. Незанятые элементы в области адресов SFR не следует использовать, поскольку никаких регистров здесь не существует. Если незанятый элемент считывают, то получают неопределенную величину. Резервные элементы SFR, предназначены для использования в будущем, обозначаются как «резерв» и их так же не следует использовать программным обеспечением пользователя.

SPICON F8H 04H	РЕЗЕРВ	РЕЗЕРВ	DACL FBH 00H	DACH FCH 00H	DACCON FDH 00H	РЕЗЕРВ	РЕЗЕРВ
B F0H 00H	РЕЗЕРВ	РЕЗЕРВ	НЕ ИСП.	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	SPIDAT F7H 00H
I2CCON E8H 00H	GN0L* E9H 55H	GN0M* EAH 55H	GN0H* EBH 53H	GN1L* ECH 9AH	GN1H* EDH 59H	РЕЗЕРВ	РЕЗЕРВ
ACC E0H 00H	OF0L* E1H 00H	OF0M* E2H 00H	OF0H* E3H 80H	OF1L* E4H 00H	OF1H* E5H 80H	РЕЗЕРВ	РЕЗЕРВ
ADCSTAT D8H 00H	ADC0L D9H 00H	ADC0M DAH 00H	ADC0H DBH 00H	ADC1L DCH 00H	ADC1H DDH 00H	РЕЗЕРВ	PSMCON DFH DEH
PSW D0H 00H	ADCMODE D1H 00H	ADC0CON D2H 07H	ADC1CON D3H 00H	SF D4H 45H	ICON D5H 00H	РЕЗЕРВ	PLLCON D7H 03H
T2CON C8H 00H	РЕЗЕРВ	RCAP2L CAH 00H	RCAP2H CBH 00H	TL2 CCH 00H	TH2 CDH 00H	РЕЗЕРВ	РЕЗЕРВ
WDCON C0H 10H	РЕЗЕРВ	CHIPID C2H 06H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	EADRL C6H 00H	РЕЗЕРВ
IP B8H 00H	ECON B9H 00H	РЕЗЕРВ	РЕЗЕРВ	EDATA1 BCH 00H	EDATA2 BDH 00H	EDATA3 BEH 00H	EDATA4 BFH 00H
P3 B0H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	РЕЗЕРВ	РЕЗЕРВ.	НЕ ИСП.
IE A8H 00H	IEIP2 A9H A0H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
P2 A0H FFH	TIMECON A1H 00H	HTHSEC A2H 00H	SEC A3H 00H	MIN A4H 00H	HOUR A5H 00H	INTVAL A6H 00H	НЕ ИСП.
SCON 98H 00H	SBUF 99H 00H	I2CDAT 9AH 00H	I2CDAT 9AH 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
P1 90H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
TCON 88H 00H	TMOD 89H 00H	TLO 8AH 00H	TL1 8BH 00H	TH0 8CH 00H	TH1 8DH 00H	РЕЗЕРВ	РЕЗЕРВ
P0 80H FFH	SP 81H 07H	DPL 82H 00H	DPH 83H 00H	DPP 84H 00H	РЕЗЕРВ	РЕЗЕРВ	PCON 87H 00H



ISPI FFH 0	WCOL FEH 0	SPE FDH 0	SPIM FCH 0	CPOL FBH 0	CPHA FAH 0	SPR1 F9H 0	SPR0 F8H 0	БИТЫ -->	SPICON F8H
F7H 0	F6H 0	F5H 0	F4H 0	F3H 0	F2H 0	F1H 0	F0H 0	БИТЫ -->	B F0H
MDO EFH 0	MDE EEH 0	MCO EDH 0	MDI ECH 0	I2CM EBH 0	I2CRS EAH 0	I2CTX E9H 0	I2CI E8H 0	БИТЫ -->	I2CCON E8H
E7H 0	E6H 0	E5H 0	E4H 0	E3H 0	E2H 0	E1H 0	E0H 0	БИТЫ -->	ACC E0H
RDY0 DFH 0	RDY1 DEH 0	CAL DDH 0	NOXREF DCH 0	ERR0 DBH 0	ERR1 DAH 0	D9H 0	D8H 0	БИТЫ -->	ADCSTAT D8H
CY D7H 0	AC D6H 0	F0 D5H 0	RS1 D4H 0	RS0 D3H 0	OV D2H 0	F1 D1H 0	P D0H 0	БИТЫ -->	PSW D0H
TF2 CFH 0	EXF2 CEH 0	RCLK CDH 0	TCLK CCH 0	EXEN2 CBH 0	TR2 CAH 0	CNT2 C9H 0	CAP2 C8H 0	БИТЫ -->	T2CON C8H
PRE3 C7H 0	PRE2 C6H 0	PRE1 C5H 0	PRE0 C4H 1	WDIR C3H 0	WDS C2H 0	WDE C1H 0	WDWR C0H 0	БИТЫ -->	WDCON C0H
BFH 0	PADC BEH 0	PT2 BDH 0	PS BCH 0	PT1 BBH 0	PX1 BAH 0	PT0 B9H 0	PX0 B8H 0	БИТЫ -->	IP B8H
RD/ B7H 1	WR/ B6H 1	T1 B5H 1	T0 B4H 1	INT1/ B3H 1	INT0/ B2H 1	TXD B1H 1	RXD B0H 1	БИТЫ -->	P3 B0H
EA AFH	EADC AEH	ET2 ADH	ES ACH 0	ET1 ABH 0	EX1 AAH	ET0 A9H 0	EX0 A8H 0	БИТЫ -->	IE A8H
A7H	A6H	A5H 1	A4H 1	A3H 1	A2H 1	A1H 1	A0H 1	БИТЫ -->	P2 A0H
SM0 9FH 0	SM1 9EH 0	SM2 9DH 0	REN 9CH 0	TB8 9BH 0	RB8 9AH 0	T1 99H 0	R1 98H 0	БИТЫ -->	SCON 98H
97H 1	96H 1	95H 1	94H 1	93H 1	92H 1	T2EX 91H 1	T2 90H 1	БИТЫ -->	P1 90H
TF1 8FH 0	TR1 8EH 0	TFO 8DH 0	TRO 8CH 0	IE1 8BH 0	IT1 8AH 0	IE0 89H 0	ITO 88H 0	БИТЫ -->	TCON 88H
87H 1	86H 1	85H 1	84H 1	83H 1	82H 1	81H 1	80H 1	БИТЫ -->	P0 80H

* По включению питания записываются калибровочные коэффициенты, величины которых записаны на заводе-изготовителе.



ПРИМЕЧАНИЕ:

SFR, адреса которых оканчиваются на 0h или 8h являются бит-адресуемыми

Рис. 17. Размещение регистров специальных функций и их значения по сбросу системы.

SFR ИНТЕРФЕЙСА К ОСНОВНОМУ И ДОПОЛНИТЕЛЬНОМУ АЦП

Оба канала АЦП управляются и конфигурируются через ряд SFR регистров упоминаемых здесь и описываемых более подробно далее.

ADCSTAT:	Статусный регистр АЦП, содержит биты состояния (статуса) основного и дополнительного АЦП.
ADCMODE:	Регистр режима АЦП, управляет режимами работы основного и дополнительного АЦП.
ADC0CON:	Регистр управления основным АЦП, содержит конкретную конфигурацию основного АЦП.
ADC1CON:	Регистр управления дополнительным АЦП, содержит конкретную конфигурацию дополнительного АЦП.
SF:	Регистр «Sinc»-фильтра. Конфигурирует коэффициент децимации для данного фильтра и, таким образом, управляет потоком данных на выходе основного и дополнительного АЦП.
ICON:	Регистр управления источниками тока, позволяет управлять различными вариантами режимов включения встроенных источников тока.
ADC0L/M/H:	В трех 8-битных регистрах содержится 24-битный результат преобразования основного АЦП.
ADC1L/H:	В двух 8-битных регистрах содержится 16-битный результат преобразования дополнительного АЦП.
OF0L/M/H:	В трех 8-битных регистрах содержится 24-битный калибровочный коэффициент смещения основного АЦП.
OF1L/H:	В двух 8-битных регистрах содержится 16-битный калибровочный коэффициент смещения дополнительного АЦП.
GN0L/M/H:	В трех 8-битных регистрах содержится 24-битный калибровочный коэффициент усиления основного АЦП.
GN1L/H:	В двух 8-битных регистрах содержится 16-битный калибровочный коэффициент усиления дополнительного АЦП.

ADCSTAT (статусный регистр АЦП):

Этот регистр отражает состояние обоих каналов АЦП, включая готовность данных, калибровку и различные (относящиеся к АЦП) ошибки и предупреждения, включая ошибку определения наличия ИОН и флаг переполнения.

Адрес SFR	D8H
Значение по включению питания	00H
Битовая адресация	Да

RDY0	RDY1	CAL	NOXREF	ERR0	ERR1	-	-
-------------	-------------	------------	---------------	-------------	-------------	---	---

Таблица III. Назначение бит в ADSTAT SFR.

Бит	Имя	Описание
7	RDY0	Бит готовности основного АЦП <i>Устанавливается (SET)</i> , по завершению преобразования АЦП или по завершению цикла калибровки. <i>Сбрасывается (CLEARED)</i> непосредственно пользователем или косвенно путем записи битов запуска следующего цикла преобразования или калибровки основного АЦП. Основному АЦП запрещается запись результатов в регистры данных или калибровки до тех пор, пока бит RDY0 не сброшен.
6	RDY1	Бит готовности дополнительного АЦП Все определения для RDY0 также справедливы для дополнительного АЦП
5	CAL	Бит состояния калибровки. <i>Устанавливается</i> аппаратно по завершению цикла калибровки. <i>Сбрасывается</i> косвенно путем записи битов запуска следующего цикла преобразования или калибровки.
4	NOXREF	Бит отсутствия внешнего ИОН (активен в случае, если активны основной или дополнительный АЦП). <i>Устанавливается</i> для индикации того, что один или оба контакта REFIN никуда не подключены (плавающие) или, если приложенное напряжение ниже специфицированного порога. При использовании внешнего ИОН, если бит установлен, результатом преобразования будут «1» во всех разрядах регистров данных. <i>Сбрасывается</i> для индикации того, что величина V_{REF} требуемого номинала.
3	ERR0	Бит ошибки основного АЦП. <i>Устанавливается</i> аппаратно для того, чтобы показать что результаты, записанные в

		регистры данных АЦП, фиксируются на уровне либо все «0», либо все «1». После калибровки установленный бит сигнализирует ошибку, вызванную тем, что в регистры калибровки не произведено записи. <i>Сбрасывается</i> путем записи (установки) бит начала преобразования или калибровки.
2	ERR1	Бит ошибки дополнительного АЦП. Все определения для ERR0 также справедливы для дополнительного АЦП
1	-	Зарезервирован для дальнейшего использования
0	-	Зарезервирован для дальнейшего использования

ADCMODE (регистр режима АЦП):

Используется для управления режимами работы обоих каналов АЦП.

Адрес SFR	D1H
Значение по включению питания	00H
Битовая адресация	Нет

-	-	ADC0EN	ADC1EN	-	MD2	MD1	MD0
---	---	---------------	---------------	---	------------	------------	------------

Таблица IV. Назначение бит ADCMODE SFR

Бит	Имя	Описание			
7	-	Зарезервирован для дальнейшего использования			
6	-	Зарезервирован для дальнейшего использования			
5	ADC0EN	Разрешение основного АЦП <i>Устанавливается</i> пользователем для того, чтобы разрешить работу основного АЦП и установить его в режим в соответствии с выбранными битами режима MD2-MD0 <i>Сбрасывается</i> пользователем для установки основного АЦП в режим «со снятым питанием» (POWER DOWN)			
4	AD1EN	Разрешение дополнительного АЦП <i>Устанавливается</i> пользователем для того, чтобы разрешить работу дополнительного АЦП и установить его в режим в соответствии с выбранными битами режима MD2-MD0. <i>Сбрасывается</i> пользователем для установки дополнительного АЦП в режим «со снятым питанием» (POWER DOWN)			
3	-	Зарезервирован для дальнейшего использования			
2	MD2	Биты режима основного и дополнительного АЦП Эти биты устанавливают режим работы разрешенного АЦП следующим образом:			
1	MD1				
0	MD0				
		MD2	MD1	MD0	
		0	0	0	«Питание снято» (питание включено по умолчанию) Холостой режим
		0	0	1	В холостом режиме фильтр АЦП и его модулятор поддерживаются в сброшенном состоянии, хотя на модулятор подается тактовая частота. Режим однократного преобразования.
		0	1	0	В режиме однократного преобразования выполняется однократное преобразование в разрешенных каналах АЦП. По завершению цикла преобразования регистры данных АЦП (AD0L/H/M и/или AD1L/H) модифицируются, записываются соответствующие флаги в регистр ADCSTAT, и снова снимается питание, причем биты MD2-MD0 сбрасываются в 000.
		0	1	1	Циклическое преобразование. В режиме циклического преобразования регистры данных АЦП постоянно модифицируются с частотой выбранного потока на выходе (см. SF регистр)
		1	0	0	Внутренняя калибровка нуля. Автоматически осуществляется внутреннее короткое замыкание входов разрешенных каналов.
		1	0	1	Внутренняя калибровка верхнего предела (полной шкалы). При выполнении данной калибровки внутренний или внешний ИОН (в соответствии с

		1	1	0	битами XREF и XREF1 в ADC0/1CON) автоматически подключается к входу АЦП. Системная калибровка нуля. Пользователь должен подать напряжение системного нуля на входы каналов в соответствии с битами CH1/CH0 и ACH1/ACH0 регистра ADC0/1CON. Системная калибровка верхнего предела (полной шкалы). Пользователь должен подать напряжение системной полной шкалы на входы каналов в соответствии с битами CH1/CH0 и ACH1/ACH0 регистра ADC0/1CON.
		1	1	1	

ПРИМЕЧАНИЯ:

- Любое изменение бит MD немедленно сбросит оба АЦП. Запись в биты MD2-MD0 без изменения их содержимого также рассматривается как сброс (см. исключение в примечании 3).
- Если команда заносится в ADC0CON, когда ADC0EN=1, или если ADC0EN изменяется с 0 на 1, тогда оба АЦП также немедленно сбрасываются. Другими словами, основному АЦП дается приоритет над дополнительным и любая команда к основному АЦП немедленно отражается на вспомогательном.
- С другой стороны, если в ADC1CON заносится команда или ADC1EN изменяется с 0 на 1, тогда сбрасывается только один дополнительный АЦП. Например, если основной АЦП выполняет циклическое преобразование, когда дополнительный АЦП запускается или разрешается, то основной АЦП продолжает беспрепятственно работать, а дополнительный АЦП будет сфазирован с выходом основного АЦП. Результат будет таким, что время выполнения первого цикла преобразования для дополнительного канала будет задержано на три такта, пока поток с дополнительного АЦП не синхронизируется с потоком основного.
- Как только в AMCODE записывается режим калибровки, биты RDY0/1 (ADCSTAT) немедленно сбрасываются и запускается цикл калибровки. По завершении цикла данные записываются в соответствующие регистры калибровки. В ADCSTAT записываются соответствующие биты, а биты MD2-MD0 сбрасываются в 000, с тем чтобы указать, что АЦП возвратился в состояние «питание снято».
- Любой запрос на калибровку дополнительного АЦП игнорируется в течение времени, пока выбран температурный датчик.
- Калибровки выполняются при максимально возможной величине SF (см. SF SFR), обеспечивая тем самым оптимальное выполнение калибровки.

ADC0CON (регистр управления основным АЦП):

Используется для конфигурации основного АЦП по диапазону, выбору канала, разрешению внешнего ИОН и режиму униполярного или биполярного преобразования.

Адрес SFR	D2H
Значение по включению питания	07H
Битовая адресация	Нет

-	XREF0	CH1	CH0	UNI0	RN2	RN1	RN0
---	--------------	------------	------------	-------------	------------	------------	------------

Таблица V. Назначение бит ADC0CON SFR

Бит	Имя	Описание																											
7	-	Зарезервирован для дальнейшего использования.																											
6	XREF0	Бит выбора внешнего ИОН для основного АЦП. Устанавливается пользователем для того, чтобы разрешить использование основным АЦП внешнего ИОН через контакты REFIN(+)/REFIN(-). Сбрасывается пользователем для использования основным АЦП внутреннего ИОН по запрещенной зоне ($V_{REF}=1.25V$).																											
5	CH1	Биты выбора канала для основного АЦП. Записывается пользователем для выбора пары дифференциальных входов, используемых основным АЦП:																											
4	CH0																												
		<table border="1"> <tr> <td></td> <td>CH1</td> <td>CH0</td> <td>Вход (+)</td> <td>Вход (-)</td> <td rowspan="4">(Внутреннее замыкание)</td> </tr> <tr> <td></td> <td>0</td> <td>0</td> <td>AIN1</td> <td>AIN2</td> </tr> <tr> <td></td> <td>0</td> <td>1</td> <td>AIN3</td> <td>AIN4</td> </tr> <tr> <td></td> <td>1</td> <td>0</td> <td>AIN2</td> <td>AIN2</td> </tr> <tr> <td></td> <td>1</td> <td>1</td> <td>AIN3</td> <td>AIN2</td> <td></td> </tr> </table>		CH1	CH0	Вход (+)	Вход (-)	(Внутреннее замыкание)		0	0	AIN1	AIN2		0	1	AIN3	AIN4		1	0	AIN2	AIN2		1	1	AIN3	AIN2	
	CH1	CH0	Вход (+)	Вход (-)	(Внутреннее замыкание)																								
	0	0	AIN1	AIN2																									
	0	1	AIN3	AIN4																									
	1	0	AIN2	AIN2																									
	1	1	AIN3	AIN2																									

3	UNI0	Бит униполярного преобразования основного АЦП. Устанавливается пользователем для разрешения униполярного кодирования, т.е. ноль на дифференциальном входе даст 00000HEX на выходе АЦП. Сбрасывается пользователем для разрешения биполярного кодирования, т.е. ноль на дифференциальном входе даст 80000HEX на выходе АЦП.			
2	RN2	Биты диапазона основного АЦП.			
1	RN1	Устанавливаются пользователем для выбора входного диапазона АЦП:			
0	RN0	RN2	RN1	RN0	Входной диапазон основного АЦП ($V_{REF}=2.5В$)
		0	0	0	$\pm 20мВ$
		0	0	1	$\pm 40мВ$
		0	1	0	$\pm 80мВ$
		0	1	1	$\pm 160мВ$
		1	0	0	$\pm 320мВ$
		1	0	1	$\pm 640мВ$
		1	1	0	$\pm 1.28В$
		1	1	1	$\pm 2.56В$

ADC1CON (регистр управления дополнительным АЦП):

Используется для конфигурации дополнительного АЦП по выбору канала, разрешению внешнего ИОН и режиму униполярного или биполярного преобразования. Следует отметить, что дополнительный АЦП работает только при фиксированном входном диапазоне $\pm V_{REF}$ (ИОН).

Адрес SFR	D3H
Значение по включению питания	00H
Битовая адресация	Нет

-	XREF1	ACH1	ACH0	UNI1	-	-	-
---	--------------	-------------	-------------	-------------	---	---	---

Таблица VI. Назначение бит AD1CON SFR

Бит	Имя	Описание					
7	-	Зарезервирован для дальнейшего использования					
6	XREF1	Бит внешнего ИОН для дополнительного АЦП. Устанавливается пользователем для того, чтобы разрешить использование дополнительным АЦП внешнего ИОН через контакты REFIN(+)/REFIN(-) Сбрасывается пользователем для использования дополнительным АЦП внутреннего ИОН по запрещенной зоне.					
5	ACH1	Биты выбора канала дополнительного АЦП.					
4	ACH0	Записываются пользователем для выбора однополярного входа, используемого дополнительным АЦП:					
		ACH1	ACH0	Вход (+)	Вход (-)		
		0	0	AIN3	AGND		
		0	1	AIN4	AGND		
		1	0	Датч.темп.*	AGND	(Датчик температуры подключается к входу АЦП.)	
		1	1	AIN5	AGND		
3	UNI1	Бит униполярного преобразования дополнительного АЦП. Устанавливается пользователем для разрешения униполярного кодирования, т.е. ноль на входе даст 0000HEX на выходе АЦП. Сбрасывается пользователем для разрешения биполярного кодирования, т.е. ноль на входе даст 8000HEX на выходе АЦП.					
2	-	Зарезервирован для дальнейшего использования					
1	-	Зарезервирован для дальнейшего использования					
0	-	Зарезервирован для дальнейшего использования					

ПРИМЕЧАНИЯ:

1. Когда выбран температурный датчик, код пользователя должен выбирать внутренний ИОН через бит XREF1 и сбросить бит UNI1 (ADC1CON.3) для выбора биполярного кодирования.
2. Температурный датчик откалиброван на заводе-изготовителе так, чтобы он давал величину 8000H при 0°C.
3. Изменение температуры на +1 0C приведет к изменению значения в регистре результата преобразования АЦП ADC1H на +1MЗР.

SF (регистр «SINC» фильтра):

Число в этом регистре используется для установки коэффициента деления (децимации) основной частоты и, таким образом, частоты потока выходных данных основного и дополнительного АЦП. Этот регистр не может быть установлен программным обеспечением пользователя до тех пор, пока любой из АЦП активен. Данный выходной поток одинаков как для основного, так и для дополнительного АЦП и рассчитывается следующим образом:

$$f_{ADC} = 1/3 \times 1/(8.SF) \times f_{MOD}$$

где: f_{ADC} - поток данных на выходе АЦП (частота модификации выхода)
 f_{MOD} - опорная (тактовая) частота модулятора = 32768 КГц
 SF - десятичное значение содержимого регистра SF.

Допустимый диапазон значений SF от 0DH до FFH. Примеры величин SF и соответствующие им частоты (f_{ADC}) и времена (t_{ADC}) преобразования АЦП показаны в таблице VII.; при подаче питания SF принимает значение по умолчанию, равное 45H, что дает частоту модификации по умолчанию чуть менее 20Гц. Следует также отметить, что оба входных канала АЦП, для минимизации ошибок смещения, используют цикл стабилизирующего прерывания. Это означает, что время для однократного преобразования или время первого цикла преобразования (в случае циклического), увеличивается в два раза ($2 \times t_{ADC}$). Как упоминалось ранее, все циклы калибровки будут выполняться с максимальной величиной SF, т.е. FFH, для гарантии наиболее надежной калибровки. Как только цикл калибровки закончится, в регистре SF будет восстановлена величина, запрограммированная пользователем.

Таблица VII. Назначение бит SF SFR

SF (dec)	SF (hex)	f_{ADC} (Гц)	t_{ADC} (мсек)
13	0D	103.3	9.52
69	45	19.79	50.34
255	FF	5.35	186.77

ICON регистр управления источниками тока

Используется для управления и конфигурации вариантов включения встроенных источников тока возбуждения и контроля целостности внешней цепи (перегорания датчика).

Адрес SFR D5H
 Значение по включению питания 00H
 Битовая адресация Нет

-	BO	ADC1IC	ADC0IC	I2PIN	I1PIN	I2EN	I1EN
---	----	--------	--------	-------	-------	------	------

Таблица VIII. Назначение бит 1CON SFR

Бит	Имя.	Описание
7	-	Зарезервирован для дальнейшего использования
6	BO	Бит разрешения источников тока контроля целостности внешней цепи Устанавливается пользователем для включения обоих источников тока контроля целостности датчика во входной цепи основного АЦП. Сбрасывается пользователем для выключения обоих источников тока контроля.
5	ADC1IC	Бит токовой коррекции дополнительного АЦП. Устанавливается пользователем для масштабирования дополнительного АЦП с помощью слова калибровки внутреннего источника тока.
4	ADC0IC	Бит токовой коррекции основного АЦП. Устанавливается пользователем для масштабирования основного АЦП с помощью слова калибровки внутреннего источника тока.
3	I2PIN ¹	Бит выбора направления Источника тока-2. Устанавливается пользователем для подачи источника тока-2 (200мкА) на внешний контакт 3 (P1.2/DAC/IEXC1). Сбрасывается пользователем для подачи источника тока-2 (200мкА) на внешний контакт 4 (P1.3/AIN5/IEXC2).
2	I1PIN ¹	Бит направления Источника тока-1. Устанавливается пользователем для подачи источника тока-1 (200мкА) на внешний контакт 4 (P1.3/AIN5/IEXC2). Сбрасывается пользователем для подачи источника тока-2 (200мкА) на внешний контакт 3 (P1.2/DAC/IEXC1).

1	I2EN	Бит разрешения Источника тока-2 Устанавливается пользователем для включения источника тока возбуждения-2 (200мкА). Сбрасывается пользователем для выключения Источника тока возбуждения-2 (200мкА).
0	I1EN	Бит разрешения Источника тока-1 Устанавливается пользователем для включения источника тока возбуждения-1 (200мкА). Сбрасывается пользователем для выключения Источника тока возбуждения-1 (200мкА).

ПРИМЕЧАНИЕ:

¹Оба источника тока можно подать на один и тот же выходной контакт, что даст величину выходного тока 400мкА.

ADC0H/ADC0M/ADC0L (Регистры данных основного АЦП)

Эти три 8-битных регистра содержат результат 24-битного преобразования основного АЦП.

Адрес SFR	ADC0H	Старший байт данных	DBH
	ADC0M	Средний байт данных	DAH
	ADC0L	Младший байт данных	D9H
Значение по включению питания	00H	Для всех трех регистров	
Битовая адресация	Нет	Для всех трех регистров	

ADC1H/ADC1L(Регистры данных дополнительного АЦП)

Эти два 8-битных регистра содержат результат 16-битного преобразования дополнительного АЦП.

Адрес SFR	AD1H	Старший байт данных	DDH
	AD1L	Младший байт данных	DCH
Значение по включению питания	00H	Для обоих регистров	
Битовая адресация	Нет	Для обоих регистров	

OF0H/OF0M/OF0L (Регистры калибровки смещения основного АЦП¹)

Эти три 8-битных регистра содержат 24-битный калибровочный коэффициент смещения для основного АЦП. Эти регистры выполнены таким образом, что по включению питания в них заносится заводской калибровочный коэффициент по умолчанию 800000H. Однако эти значения будут автоматически подавлены, если пользователем проводится внутренняя или системная калибровка нуля шкалы с использованием бит MD2-0 в регистре ADCMODE.

Адрес SFR	OF0H	Старший байт коэффициента смещения осн.АЦП	E3H
	OF0M	Средний байт коэффициента смещения осн.АЦП	E2H
	OF0L	Младший байт коэффициента смещения осн.АЦП	E1H
Значение по включению питания	800000H	OF0H, OF0M и OF0L, соответственно	
Битовая адресация	Нет	Для всех трех регистров	

OF1H/OF1L (Регистры калибровки смещения дополнительного АЦП¹)

Эти два 8-битных регистра содержат 16-битный калибровочный коэффициент смещения для дополнительного АЦП. Эти регистры выполнены таким образом, что по включению питания в них заносится заводской калибровочный коэффициент по умолчанию 8000H. Однако эти значения будут автоматически подавлены, если пользователем проводится внутренняя или системная калибровка нуля шкалы с использованием бит MD2-0 в регистре ADCMODE.

Адрес SFR	OF1H	Старший байт коэффициента смещения доп..АЦП	E4H
	OF1L	Младший байт коэффициента смещения доп..АЦП	E5H
Значение по включению питания	8000H	OF1H и OF1L, соответственно	
Битовая адресация	Нет	Для обоих регистров	

GN0H/GN0M/GN0L (Регистры калибровки усиления основного АЦП¹)

Эти три 8-битных регистра содержат 24-битный калибровочный коэффициент усиления для основного АЦП. Эти регистры выполнены таким образом, что по включению питания в них заносится заводской калибровочный коэффициент полной шкалы. Каждое устройство имеет свой индивидуальный коэффициент. Однако эти значения будут автоматически подавлены, если пользователем проводится внутренняя или системная калибровка верхнего предела шкалы с использованием бит MD2-0 в регистре ADCMODE.

Адрес SFR	GN0H	Старший байт коэффициента усиления осн.АЦП	EBH
	GN0M	Средний байт коэффициента усиления осн.АЦП	EAH
	GN0L	Младший байт коэффициента усиления осн.АЦП	E9H
Значение по включению питания		Заносится у изготовителя по окончательному тесту, см. выше	
Битовая адресация		Нет	Для всех трех регистров

GN1H/GN1L (Регистры калибровки усиления дополнительного АЦП¹)

Эти два 8-битных регистра содержат 16-битный калибровочный коэффициент усиления для дополнительного АЦП. Эти регистры выполнены таким образом, что по включению питания в них заносится заводской калибровочный коэффициент полной шкалы. Каждое устройство имеет свой индивидуальный коэффициент. Однако эти значения будут автоматически подавлены, если пользователем проводится внутренняя или системная калибровка верхнего предела шкалы с использованием бит MD2-0 в регистре ADCMODE.

Адрес SFR	GN1H	Старший байт коэффициента усиления доп.АЦП	EDH
	GN1L	Младший байт коэффициента усиления доп.АЦП	ECH
Значение по включению питания		Заносится у изготовителя по окончательному тесту, см. выше	
Битовая адресация		Нет	Для обоих регистров

ПРИМЕЧАНИЕ

¹ Эти регистры могут быть перезаписаны данными пользователя если биты Режима MD0-2 равны нулю.

ОПИСАНИЕ СХЕМОТЕХНИКИ ОСНОВНОГО И ДОПОЛНИТЕЛЬНОГО АЦП

Обзор.

ADuC824 включает в себя два независимых канала сигма-дельта АЦП (основной и дополнительный с внутренней цифровой фильтрацией), которые предназначены для выполнения измерения низкочастотных сигналов в широком динамическом диапазоне в таких приложениях, как устройства взвешивания, датчики силы и деформации, преобразователи давления или температурные измерители.

Основной АЦП

Этот АЦП предназначен для преобразования сигналов первичных датчиков. Вход канала буферизован и его можно программировать на один из 8 диапазонов входных сигналов от $\pm 20\text{мВ}$ до $\pm 2.56\text{В}$, причем сигналы могут подаваться на один из трех дифференциальных входов AIN1/2, AIN3/4 или AIN3/2. Буферизация входных каналов означает, что устройство может работать с источниками сигнала значительного импеданса на аналоговом входе и, если потребуется, непосредственно на этом входе может выполняться RC-фильтрация (для уменьшения шумов и наводок). До выполнения основного измерения можно использовать генераторы токов контроля целостности внешней цепи (первичного датчика).

Для достижения 24 битной рабочей характеристики без пропуска кодов АЦП использует методику сигма-дельта преобразования. Сигма-дельта модулятор преобразует выбранный входной сигнал в последовательность цифровых импульсов, скважность следования которых содержит в себе цифровую информацию. Для получения точных результатов преобразования с программируемым потоком на выходе от 5.35Гц (186.77 мс) до 105.03Гц (9.52 мс) используется программируемый низкочастотный фильтр с характеристикой вида «Sinc³». Для минимизации ошибок смещения канала АЦП используется схема стабилизации прерыванием. Блок-схема основного канала АЦП показана ниже на Рис.18.

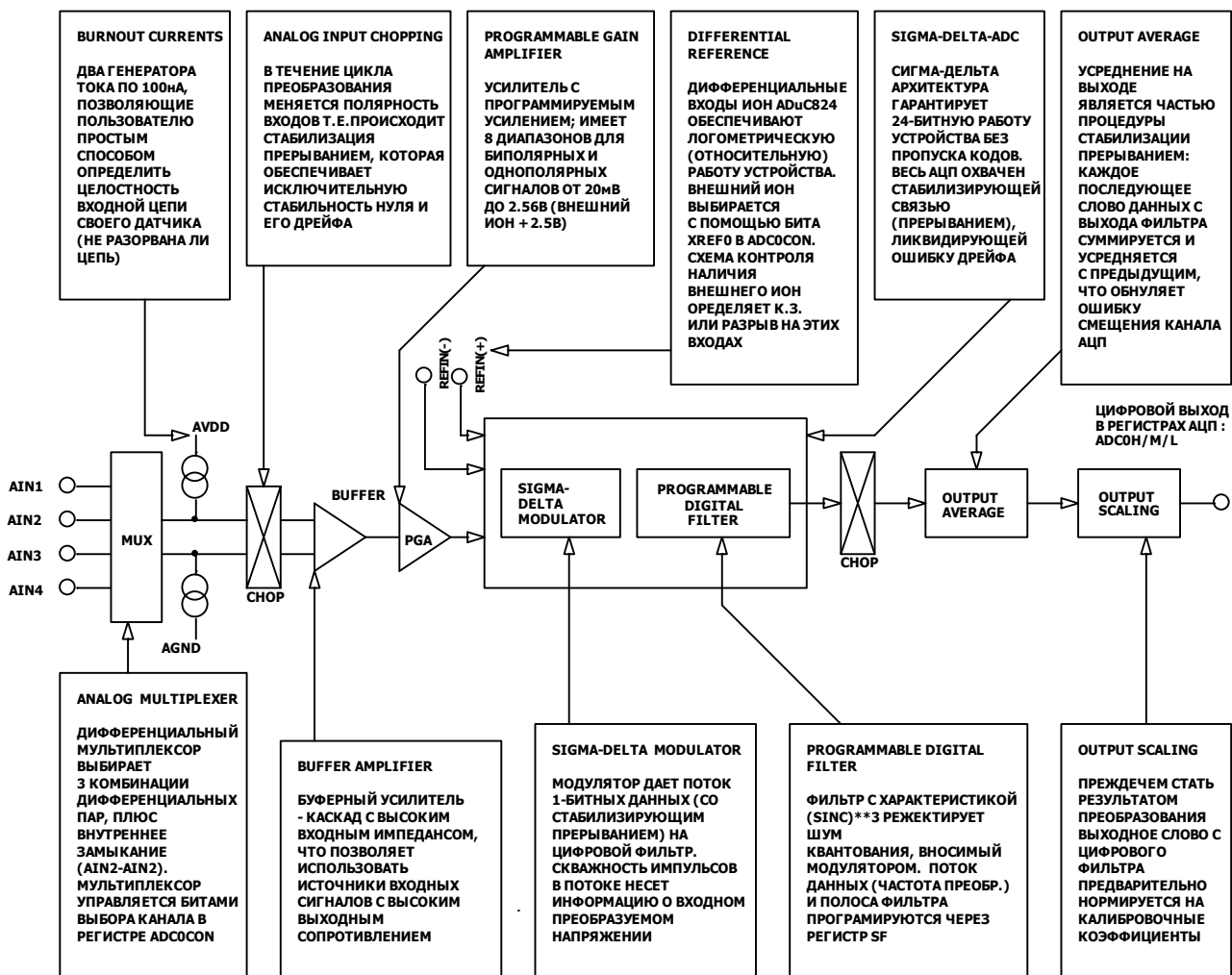


Рис.18. Блок-схема основного АЦП.

Дополнительный АЦП

Дополнительный АЦП предназначен для преобразования вспомогательных входных сигналов как, например, сигналов температуры «холодного спая» с диода-датчика или термистора. Этот канал не буферизован и имеет фиксированный диапазон входных сигналов от 0В до 2.5В (предполагая наличие внешнего ИОН 2.5В). Однополярные входные сигналы можно кодировать с входов AIN3, AIN4 или AIN5 или непосредственно с выхода встроенного датчика температуры. Блок-схема дополнительного АЦП показана ниже на Рис.19.

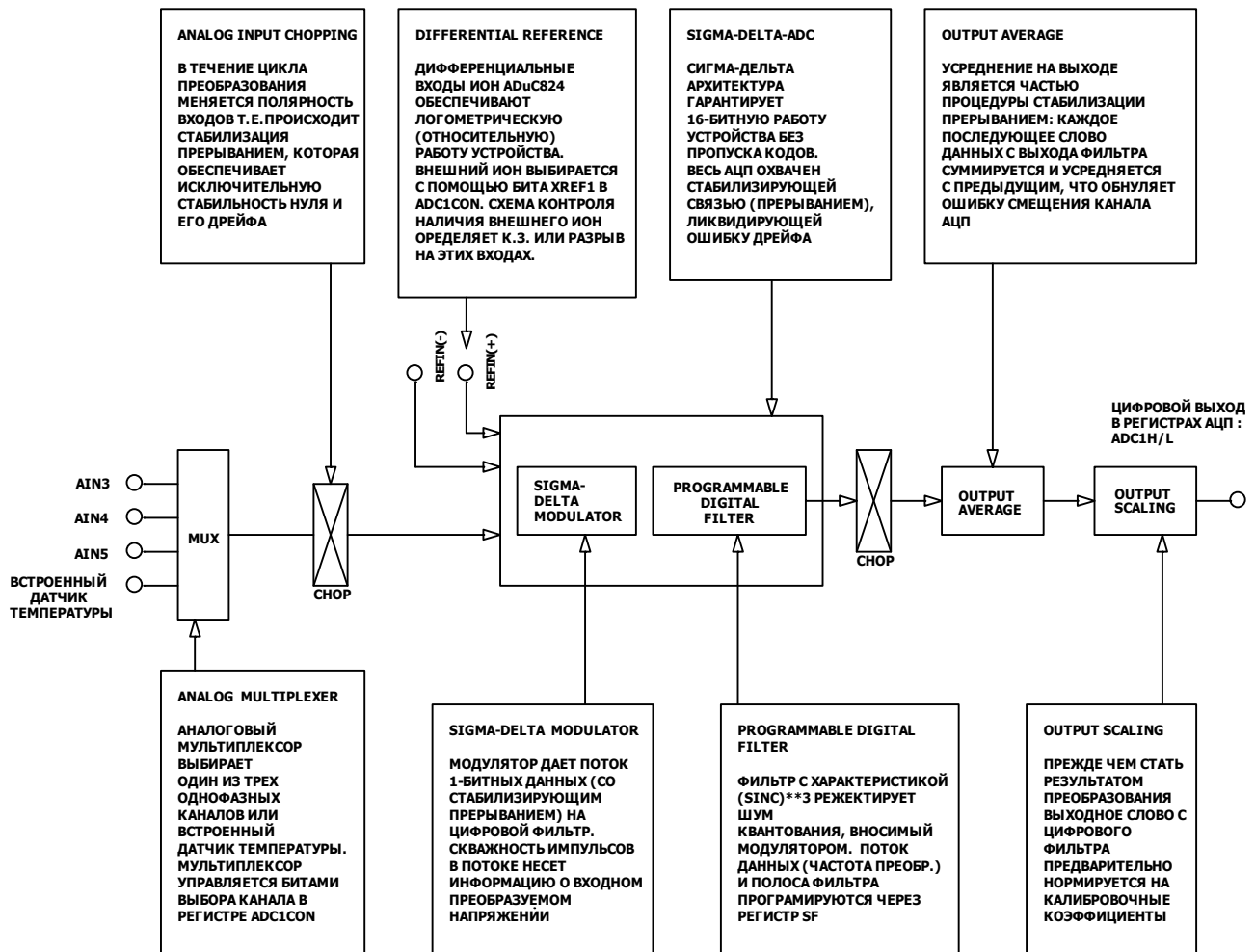


Рис.19. Блок-схема дополнительного АЦП.

ШУМОВЫЕ ХАРАКТЕРИСТИКИ ОСНОВНОГО И ДОПОЛНИТЕЛЬНОГО АЦП.

Ниже в таблицах IX, X и XI показан среднеквадратичный выходной шум в (мкВ) и разрешение от-пика-до-пика (р-р) на выходе в битах (округленно до ближайшей половины МЗР) для некоторых значений выходных потоков с основного и дополнительного АЦП. Данные являются типовыми и получены при дифференциальном напряжении на входе 0В. Выходной поток выбирается с помощью бит SF7-SF0 из SFR (SF) Sinc-фильтра. Следует отметить, что величина разрешения от-пика-до-пика представляют собой такое разрешение, для которого в интервале «6 сигма» не будет «мерцания» кода.

Таблица IX. Основной АЦП, типовой среднеквадратичный шум на выходе (мкВ)

Типовой СКВ выходной шум в зависимости от входного диапазона и выходного потока; Выходной СКВ шум в мкВ

Слово SF	Поток (Гц)	Диапазон входных сигналов							
		± 20мВ	± 40мВ	± 80мВ	± 160мВ	± 320мВ	± 640мВ	± 1.24В	± 2.56В
13	105.3	1.50	1.50	1.60	1.75	3.50	4.50	6.70	11.75
69	19.79	0.60	0.65	0.65	0.65	0.65	0.95	1.40	2.30
255	5.35	0.35	0.35	0.37	0.37	0.37	0.51	0.82	1.25

Таблица X. Основной АЦП, разрешение от-пика-до-пика (Бит)

Разрешение от-пика-до-пика в зависимости от входного диапазона и выходного потока; Разрешение от-пика-до-пика в битах

Слово SF	Поток (Гц)	Диапазон входных сигналов							
		± 20мВ	± 40мВ	± 80мВ	± 160мВ	± 320мВ	± 640мВ	± 1.24В	± 2.56В
13	105.3	12	13	14	15	15	15.5	16	16
69	19.79	13	14	15	16	17	17.5	18	18.5
255	5.35	14	15	16	17	18	18.5	18.8	19.2

Таблица XI. Дополнительный АЦП

Типовой СКВ выходной шум в зависимости от входного диапазона и выходного потока¹; Выходной СКВ шум в мкВ

Слово SF	Поток (Гц)	Входной диапазон 2.5В
13	105.3	10.75
69	19.79	2.00
255	5.35	1.15

ПРИМЕЧАНИЕ

¹ Работает в биполярном режиме

Разрешение от-пика-до-пика в зависимости от входного диапазона и выходного потока¹; Разрешение от-пика-до-пика в битах

Слово SF	Поток (Гц)	Входной диапазон 2.5В
13	105.3	16 ²
69	19.79	18.5
255	5.35	19.5

ПРИМЕЧАНИЕ

¹ АЦП работает в биполярном режиме.

² В униполярном режиме разрешение от-пика-до-пика на частоте 105Гц составляет 15 бит.

Входные аналоговые каналы

Основной АЦП имеет четыре связанных с ним входных вывода (обозначаемых как AIN1÷AIN4), которые можно сконфигурировать как два полных дифференциальных канала. Биты выбора канала в ADC0CON SFR детализованы в таблице V. и позволяют организовать 3 комбинации дифференциальных пар, а так же дополнительный вариант короткозамкнутой входной пары (AIN2-AIN2).

Дополнительный АЦП имеет три входных вывода (обозначаемых как AIN3÷AIN5), а так же внутреннее соединение с встроенным датчиком температуры. Все входы дополнительного АЦП однополярные (однофазные) относительно AGND изделия. Использование бит выбора канала дополнительного АЦП детализовано ранее в таблице VI.

Два входных мультиплексора подключают входной канал к внутреннему буферному усилителю в случае основного АЦП и непосредственно ко входу сигма-дельта модулятора в случае дополнительного. Когда переключают входной канал, должно завершиться время установления прежде чем с АЦП появится корректное слово данных.

Входы Основного и Дополнительного АЦП

Выход мультиплексора основного АЦП поступает на каскад буферного усилителя с высоким входным импедансом. В результате вход основного АЦП может работать с источниками сигналов значительного импеданса и он предназначен для непосредственного подключения к датчикам резистивного типа как, например, тензодатчики или резистивные датчики температуры (РДТ (RTD)) (термопреобразователи сопротивления – ТС).

В то же время, дополнительный АЦП лишен буфера, что приводит к его более высокому входному току. Следует отметить, что этот небуферизованный вход дает заметную динамическую нагрузку на источник сигнала. Поэтому наличие на данном входе соединения резистор-конденсатор может вызвать ошибку усиления на постоянном токе, зависящую от выходного импеданса источника сигнала на этих входах АЦП.

Диапазоны Аналоговых Входных Напряжений

Диапазон абсолютного входного напряжения основного АЦП ограничивается значениями от AGND+100мВ до AVDD-100мВ. Следует уделять особое внимание установке синфазного напряжения и диапазону входного напряжения с тем, чтобы данные пределы не нарушались, иначе наступит ухудшение линейности в работе.

Диапазон абсолютного входного напряжения дополнительного АЦП ограничивается значениями от AGND-30мВ до AVDD+30мВ. Несколько отрицательная величина нижнего предела абсолютного входного напряжения, на самом деле, дает возможность наблюдать малые биполярные сигналы при однофазной работе входа дополнительного АЦП.

Усилитель с Программируемым Усилением

Выход буфера основного АЦП подается на встроенный усилитель с программируемым коэффициентом усиления (PGA). Диапазон усиления PGA может быть запрограммирован на восемь поддиапазонов однополярных и биполярных входных сигналов. Диапазон PGA устанавливается с помощью бит выбора диапазона в ADC0CON SFR. При установленном бите внешнего ИОН и его величине $V_{REF}=2.5В$ поддиапазонами входного однополярного напряжения будут: 0мВ ÷ +20мВ, 0мВ ÷ +40мВ, 0мВ ÷ +80мВ, 0мВ ÷ +160мВ, 0мВ ÷ +320мВ, 0мВ ÷ +640мВ, 0В ÷ +1.28В, 0В ÷ +2.56В. Поддиапазоны для биполярных сигналов: ±20мВ, ±40мВ, ±80мВ, ±160мВ, ±320мВ, ±640мВ, ±1.28В±2.56В. Данные поддиапазоны напряжений являются номинальными, которые должны присутствовать на входе PGA. Типовая спецификация согласованности диапазонов 2мкВ означает, что калибровку можно проводить для единственного диапазона усиления и нет необходимости в ее повторении при смене диапазона.

Типовое согласование между диапазонами усиления показано ниже на Рис.20. Для этого примера АЦП установлен в режим биполярных входных сигналов, установлен внешний ИОН 2.5В, на вход подается сигнал чуть больше 19мВ. АЦП непрерывно преобразует входное постоянное напряжение с потоком данных на выходе 5.35Гц, т.е. SF=FFH. Всего набирается 800 отсчетов. Первые 100 отсчетов набираются основным АЦП при установленном диапазоне ±20мВ. Затем диапазон АЦП переключают на ±40мВ и набирается еще 100 отсчетов, и так далее до последнего диапазона ±2.56В, где набирается так же 100 отсчетов. Как видно из Рис.20, вариация среднего по выборке в каждом диапазоне будет порядка 2мкВ.

В составе дополнительного АЦП нет PGA и он работает в единственном диапазоне входных напряжений 0В ÷ V_{REF} .

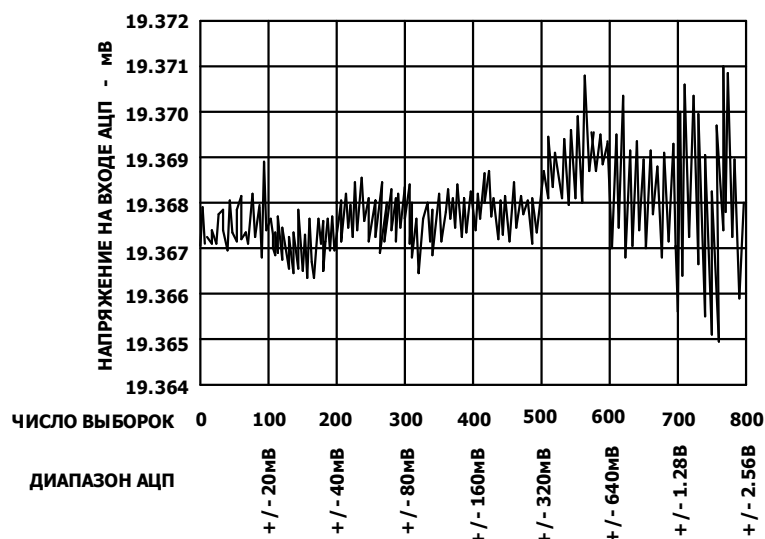


Рис.20. Согласование диапазонов АЦП.

Входы биполярные/однополярные

Аналоговые входы ADuC824 могут принимать однополярные (униполярные) либо биполярные входные сигналы. Наличие диапазонов для обработки биполярных сигналов не означает подачу на вход отрицательного напряжения относительно системной земли AGND.

Однополярные и биполярные сигналы на входе AIN(+) основного АЦП являются таковыми только по отношению к напряжению (относительно) на входе AIN(-). Например, если на входе AIN(-) присутствует напряжение 2.5В, а основной АЦП сконфигурирован для работы с однополярным напряжением, в диапазоне 0мВ ÷ +20мВ, то допустимый диапазон напряжений на входе AIN(+) составит 2В ÷ 2.52. Если на входе AIN(-) присутствует напряжение 2.5В, и ADuC824 сконфигурирован для работы с напряжением в диапазоне ±1.28В, то допустимый диапазон напряжений на входе AIN(+) составит 1.22В ÷ 3.78В (т.е. 2.5В ±1.28В).

Как упоминалось ранее, вход дополнительного АЦП – однополярный по отношению к системной земле AGND. В таком контексте, биполярный сигнал на входе дополнительного АЦП может распространяться в отрицательную область только на 30мВ по отношению системной земле, до достижения нижнего предельно допустимого значения для данного АЦП.

Варианты биполярной или однополярной работы выбираются с помощью бит разрешения Однополярной работы основного или дополнительного АЦП в ADC0CON или ADC1CON, соответственно. Задание однополярного или биполярного режима работы никак не затрагивает собственно входные сигналы, просто изменяется способ кодирования сигналов и точки функции передачи, по которым выполняется калибровка. Когда АЦП настроен на однополярную работу, кодирование на выходе носит естественный двоичный характер: при нулевом дифференциальном входном напряжении результирующий код будет 000...000, при напряжении равном половине шкалы – код будет 100...000 и при напряжении равном полной шкале – 111...111. Когда АЦП настроен на работу с биполярными сигналами кодирование является двоичным смещенным: для входного отрицательного напряжения полной шкалы результирующий код будет 000...000, нулевое дифференциальное напряжение на входе даст код 100...000 и положительное напряжение полной шкалы – код 111...111.

Токи Контроля Целостности Внешнего Датчика

Основной АЦП ADuC824 содержит да генератора постоянного тока по 100нА, один подает ток от AVDD на AIN(+), а в другой забирает ток из AIN(-) в AGND. Источники подключаются к выбранной паре аналоговых входов. Оба тока бывают либо включены, либо выключены, в зависимости от состояния бита Разрешения Тока Контроля (BO) в ICON SFR (см. таблицу VIII.). Эти токи можно использовать для проверки – работоспособен или нет внешний датчик до проведения измерения с данного канала. Как только токи контроля включаются, они начинают протекать по цепи внешнего датчика и можно провести измерение напряжения на данном канале. Если измеренное напряжение будет полной шкалой, то этот результат укажет, что цепь датчика разорвана. Если измеренное напряжение будет 0В, то – цепь датчика короткозамкнута. Для проведения рабочих измерений токи контроля выключаются путем записи «0» в бит BO ICON SFR. Источники тока контроля работают при допустимых рабочих напряжениях на входе.

Токи Возбуждения

В составе ADuC824 имеются так же два одинаковых источника постоянного тока 200мкА. Они оба подают ток с AVDD на вывод #3 (IEXC1) или вывод #4 (IEXC2). Источники тока управляются с помощью бит ICON SFR, как показано в таблице VIII. Их можно сконфигурировать как отдельные токи по 200мкА на оба вывода микросхемы, либо объединить в один ток 400мкА и подать на любой из выводов. Эти токи можно использовать для возбуждения внешнего резистивного моста либо резистивного датчика температуры.

Входы ИОН

Входы REFIN(+) и REFIN(-) являются дифференциальными входами ADuC824. Диапазон синфазных сигналов на этих входах лежит в пределах от AGND до AVDD. Номинальное рабочее напряжение на входах REFIN(+) и REFIN(-) для специфицированной работы устройства составляет 2.5В, причем биты разрешения ИОН должны быть установлены для основного и дополнительного АЦП, соответственно в ADC0CON и/или ADC1CON SFR.

Устройство так же работоспособно (хотя и не специфицировано для работы), когда биты XREF0 или XREF1 сброшены в «0», что разрешает внутренний ИОН по запрещенной зоне. В таком режиме работы АЦП «видят» свой ИОН равным 1.25В, что приводит к тому, что все диапазоны входных напряжений уменьшаются ровно в два раза. В результате использования внутреннего ИОН, как следствие, произойдет заметное ухудшение разрешения от-пика-до-пика. По этой причине для получения наилучшего разрешения настоятельно рекомендуется работа с внешним ИОН.

В приложениях, в которых возбуждение (ток или напряжение) преобразователя (датчика), находящегося на аналоговом входе, также образует опорное напряжение устройства, влияние низкочастотного шума источника возбуждения будет ликвидировано, поскольку данное приложение производит измерение логометрическим (относительным) способом. Если ADuC824 применяется не в логометрическом приложении, то следует использовать ИОН с низкими шумами. Рекомендуемыми элементами в качестве ИОН будут следующие: AD780, REF43 и REF192.

Следует отметить, что опорные входы устройства являются высокоимпедансной динамической нагрузкой. Поскольку входное сопротивление каждого опорного входа носит динамический характер, подключение на таких входах соединения резистор/емкость может привести к ошибке на постоянном токе, в зависимости от выходного сопротивления источника, подключенного к ним. ИОН, как, например, рекомендованные выше (AD780), имеют низкий выходной импеданс и, тем не менее, стоит порекомендовать подключение блокирующих конденсаторов на вход REFIN(+). Получение входного опорного напряжения как падения на внешнем резисторе, как это показано на Рис.53, будет означать, что опорный вход «видит» существенный импеданс внешнего источника. Однако для цепи этого типа не рекомендуется устанавливать внешний блокирующий конденсатор между выводами REFIN(+) и REFIN(-).

Определение Наличия ИОН

ADuC824 имеет встроенную схему для определения имеется ли на устройстве опорное напряжение необходимой величины для преобразования и калибровки. Если напряжение между внешними выводами REFIN(+) и REFIN(-) меньше 0.3В или эти выводы разомкнуты, схема определяет факт отсутствия в системе опорного напряжения. В этом случае устанавливается в «1» бит NOXREF в ADCSTAT SFR. Если ADuC824 выполняет обыкновенное преобразование и в это время бит NOXREF становится активным, то результат преобразования возвращается в виде слова, состоящего из одних «1». Таким образом, при выполнении преобразования нет необходимости постоянно следить за состоянием бита NOXREF. Необходимо проверять его состояние только тогда, когда результатом преобразования в регистре данных АЦП будут все «1».

Если ADuC824 выполняет калибровку нуля или усиления и в это время бит NOXREF становится активным, то запись в регистры калибровки запрещается, чтобы избежать загрузку в данные регистры некорректных коэффициентов и устанавливаются соответствующие биты ошибок ERR0 или ERR1 в ADCSTAT SFR. Если пользователь озабочен наличием должного ИОН при выполнении калибровки, то он должен проверять статусный бит ERR0 или ERR1 всякий раз при окончании цикла калибровки.

Сигма-Дельта Модулятор

Сигма-дельта АЦП обычно состоит из двух основных блоков: аналогового модулятора и цифрового фильтра. В случае АЦП ADuC6224 аналоговый модулятор состоит из разностного усилителя, блока интегратора, компаратора и ЦАП обратной связи, как показано на Рис.21.

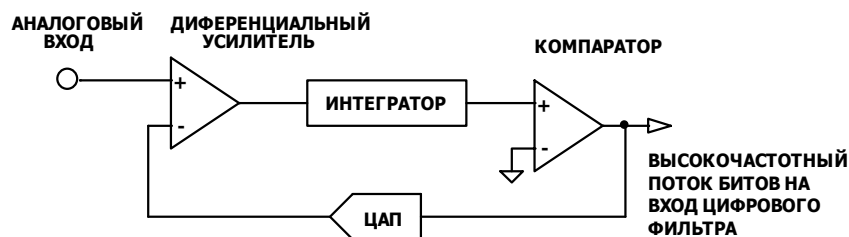


Рис.21. Упрощенная блок-схема сигма-дельта модулятора.

При работе выборка аналогового сигнала вместе с выходным сигналом ЦАПа обратной связи подаются на разностный усилитель. Разница этих двух сигналов интегрируется и подается на компаратор. Выход компаратора подается на ЦАП обратной связи, таким образом, система работает как система с петлей обратной связи, которая старается свести к нулю разностный сигнал. Цифровые данные, которые представляют аналоговый сигнал, содержатся в скважности импульсного цуга на выходе компаратора. Эти данные в виде скважности можно преобразовать в слово данных, используя последующий каскад цифрового фильтра. Частота выборок петли модулятора во много раз выше чем полоса входного сигнала. Интегратор модулятора формирует шум квантования (который является следствием аналого-цифрового преобразования), спектр которого выталкивается в сторону половинной частоты модуляции.

Цифровой Фильтр

Выход сигма-дельта модулятора подается непосредственно на цифровой фильтр. Цифровой фильтр ограничивает полосу сигнала до величины, существенно ниже половинной частоты модуляции. Таким способом 1-битный выходной сигнал компаратора трансформируется в выход АЦП, с ограниченной полосой и низкими шумами.

Фильтр ADuC824 представляет собой низкочастотный фильтр с функцией передачи вида $SINC^3$ или $(\sin x/x)^3$, основной задачей которого является подавление шумов квантования, порождаемых модулятором. Частота среза и поток данных на выходе фильтра программируются с помощью SF (Sinc Filter) SFR, как показано в таблице VII.

На Рис.22 показан частотный отклик канала АЦП при значении слова SF по умолчанию т.е. $(69)_{10}$ или 45H, дающее выходной поток данных чуть менее 20Гц.

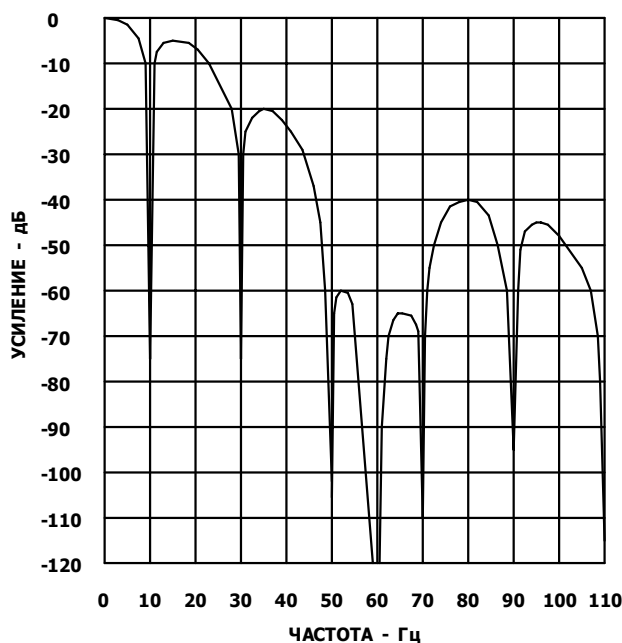


Рис.22. Отклик фильтра при SF=(69)₁₀.

Следует отметить, что данный частотный отклик позволяет пропускать в некоторых случаях на АЦП без заметного ослабления частотные компоненты, которые выше частоты Найквиста АЦП. Поэтому после выполнения квантования эти компоненты могут появиться в качестве комбинационных (алиасов) в полосе пропускания.

Так же следует отметить, что компоненты промышленной сети т.е. 50Гц и 60Гц, как видно, лежат на уровне $>65\text{дБ}$ для 50Гц и $>100\text{дБ}$ для 60Гц. Это подтверждает спецификации ТО на ослабление противофазного сигнала (ОПФС) на частоте 50Гц/60Гц (называемого иногда ослаблением помехи нормального вида) с потоком выходных данных 20Гц.

Как видно из Рис.23, отклик фильтра будет меняться с изменением значения SF, так при $SF=255_{10}$ ослабление на частоте 50Гц $> 90\text{дБ}$, а на 60Гц $>70\text{дБ}$.

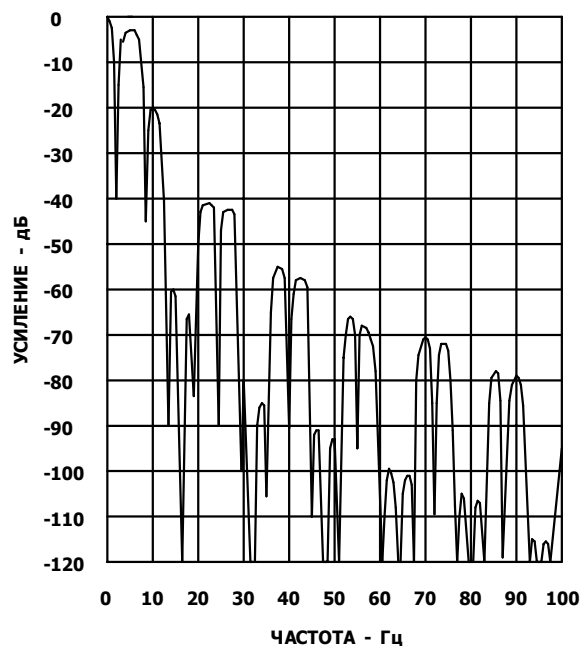


Рис.23. Отклик фильтра при $SF=(255)_{10}$.

На Рис.24 и 25 показано ОПФС на частотах 50Гц/60Гц во всем диапазоне изменения значений SF (от $SF=13_{10}$ до $SF=255_{10}$)

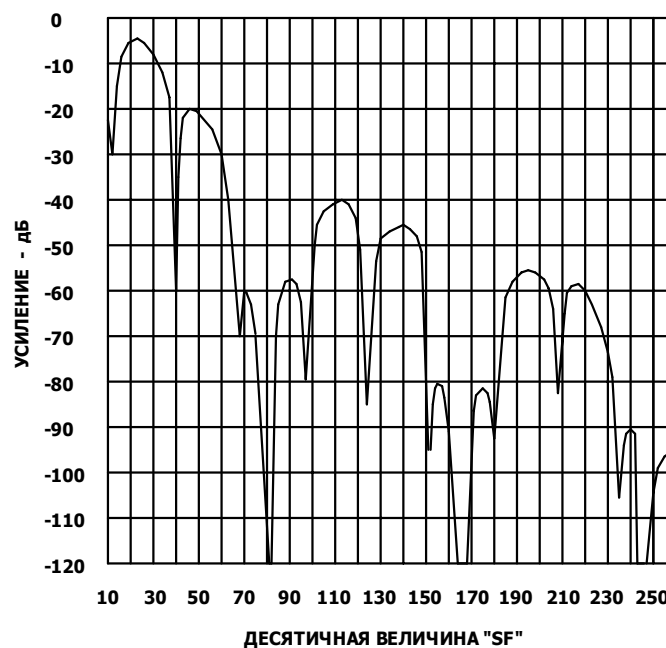


Рис.24. Зависимость ОПФС на частоте 50Гц от величины SF.

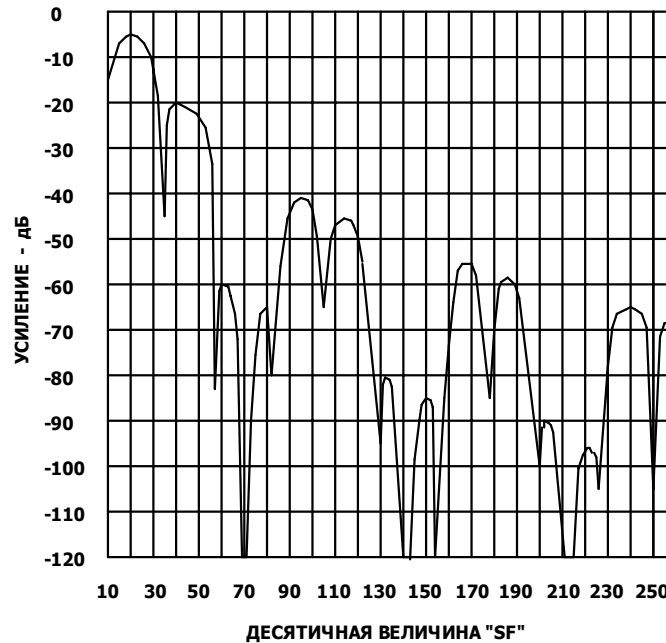


Рис.25. Зависимость ОФС на частоте 60Гц от величины SF.

Стабилизация Прерыванием

Оба АЦП ADuC824 используют схему стабилизации прерыванием, посредством которой АЦП непрерывно реверсирует (меняет полярность) свои входы. По этой причине обработанные цифровые слова данных на выходе с SINC³ фильтра содержат включенные компоненты положительного и отрицательного смещения.

В результате, в каждом АЦП содержится оконечный суммирующий каскад с тем, чтобы каждое последующее выходное слово с фильтра суммировалось и усреднялось с предыдущим для получения корректного результата, который и будет записан в SFR данных АЦП.

При таком способе работы, несмотря на то, что производительность АЦП или его выходной поток данных таковы, как ранее обсуждалось и приводилось в таблице VII., полное время установления АЦП (или промежуток времени до получения первого результата преобразования) на самом деле будет даваться как $2 \times t_{ADC}$.

Схема прерывания, включенная в состав АЦП ADuC824, обеспечивает исключительные спецификации по смещению и дрейфу смещения и крайне выигрышна в приложениях, где важными факторами являются малый дрейф, ослабление шумов и электромагнитных помех.

Калибровка

ADuC824 обеспечивает четыре режима калибровки, которые устанавливаются с помощью бит режима в ADCMODE SFR, как показано в таблице IV. Фактически каждый экземпляр ADuC824 полностью прокалиброван на предприятии-изготовителе. Результирующие калибровочные коэффициенты смещения и усиления для основного и дополнительного АЦП размещаются в специальной внутренней технологической Flash/EE памяти. По включению питания эти заводские коэффициенты автоматически загружаются в регистры калибровки ADuC824 в области SFR. Каждый АЦП (основной и дополнительный) имеет специально предназначенные для этого калибровочные SFR, и они описаны ранее в части общего описания SFR АЦП. Однако величины заводских калибровочных коэффициентов в калибровочных SFR будут подавлены, если будет инициирован любой из четырех режимов калибровки и выбранный АЦП будет разрешен с помощью бит разрешения АЦП в ADCMODE.

Хотя ниже и описывается внутренняя калибровка смещения, следует признать факт, что оба АЦП стабилизируются прерыванием. Эта схема стабилизации существенно минимизирует смещение устройства, откуда следует, что процедура внутренней калибровки смещения вообще-то не требуется. Так же, поскольку заводские калибровочные коэффициенты усиления для условий 5В/25⁰С автоматически загружаются по подаче питания, внутренняя калибровка верхнего предела потребует только в том случае, если устройство работает от 3В питания или рабочая температура значительно отличается от 25⁰С.

ADuC824 обеспечивает возможность проведения «внутренней» или «системной» калибровки. Для проведения полной калибровки выбранного АЦП логика калибровки должна записать выход модулятора для двух различных условий на входе. Таковыми являются две точки: «ноль» и «верхний предел». Значения этих точек получают путем преобразования в процессе калибровки двух напряжений на входе модулятора. Результат калибровочного преобразования «нуля» записывается в Регистры Калибровки Смещения, соответствующего АЦП. Результат калибровочного преобразования напряжения «верхнего предела» записывается в Регистры Калибровки Усиления, соответствующего АЦП. При наличии этих результатов логика калибровки может рассчитать смещение и коэффициент наклона функции передачи конвертера со входа на выход.

Во время «внутренней» калибровки нуля или верхнего предела соответствующие напряжения «нуля» или «верхнего предела» автоматически подаются на вход внутри устройства. В то же время, при «системной калибровке» предполагается, что напряжения системного нуля и системного верхнего предела будут подаваться на внешние выходы АЦП до того, как режим калибровки будет инициирован. При таком способе калибровки (системной) учитываются и минимизируются внешние ошибки АЦП. Следует так же отметить, что для увеличения точности калибровки все режимы калибровки выполняются автоматически с минимальным потоком данных на выходе.

В ADuC824 коэффициенты нормализуются внутренним образом до того как они будут использоваться для масштабирования слов данных с выхода цифрового фильтра. Калибровочный коэффициент смещения вычитается из результата до его умножения на коэффициент усиления. Все спецификации АЦП ADuC824 будут действовать только после проведения калибровки нуля и верхнего предела при рабочих условиях (напряжение питания/температура).

С точки зрения функционирования, калибровку следует рассматривать как еще одно преобразование. Калибровку нуля (если таковая требуется) следует всегда проводить до калибровки верхнего предела. Для определения окончания калибровки системное программное обеспечение должно следить за состоянием соответствующих АЦП бит RDY0/1 в ADCSTAT SFR, путем их последовательного программного опроса или по прерыванию.

НЕРАЗРУШАЕМАЯ FLASH ПАМЯТЬ.

Обзор Flash памяти.

ADuC824 включает в себя Flash-память, обеспечивая пользователя неразрушаемой, программируемой в составе системы памятью программ (кода) и данных. Flash-память использует новейший тип технологии получения неразрушаемой памяти и основывается на архитектуре одно-транзисторной ячейки.

Она выросла из технологии электрически программируемой постоянной памяти (EPROM) и была разработана к концу 80-х годов. Flash-память вобрала в себя гибкость в части репрограммируемости в составе системы от электрически репрограммируемой памяти (EEPROM) и объединила это свойство с высокой плотностью компонент, присущей электрически программируемой памяти (см. Рис.26). Поскольку Flash-технология основана на архитектуре одно-транзисторной ячейки, этот тип памяти, подобно EPROM, можно применять для достижения высокой эффективности или высокой плотности упаковки памяти, требуемой данным устройством.

Подобно EEPROM, Flash-память можно программировать в составе системы на байтовом уровне, хотя ее следует предварительно стереть; причем процесс стирания выполняется блоками. Таким образом, Flash-память часто и более правильно называют Flash/EE-память (электрически стираемая Flash-память).

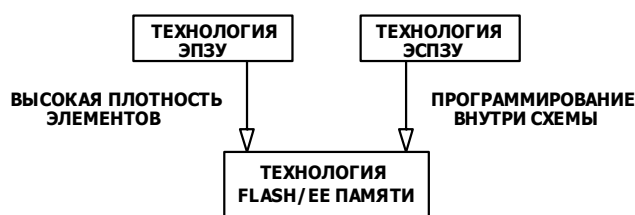


Рис.26. Разработка Flash-памяти.

Таким образом, Flash/EE-память является шагом в сторону создания идеального устройства памяти, которое обладает свойствами неразрушаемости, программируемости в составе системы, высокой плотности компонент и низкой стоимости. Будучи включенной в состав ADuC824, технология Flash/EE-памяти позволяет пользователю модифицировать свой программный код в составе системы, без необходимости замены устройств как в случае устройств с однократным программированием (OTP) в удаленных рабочих узлах системы.

Flash/EE-память и ADuC824.

Для приложений пользователя ADuC824 имеет два массива Flash/EE-памяти. Внутри кристалла существует 8К-байт Flash/EE-памяти программ для выполнения программного кода без необходимости внешнего дискретного ПЗУ. Память программ можно программировать, используя стандартные программаторы сторонних изготовителей. Данный массив можно также запрограммировать в составе системы, используя существующий режим последовательной загрузки.

В составе кристалла также имеется 640-байт Flash/EE-памяти данных. Она может использоваться пользователем, как оперативная неразрушаемая память общего применения. Доступ пользователя к этой области происходит через группу из 6 SFR-регистров. Эту область можно программировать на байтовом уровне, хотя предварительно ее следует стереть страницами по 4 байта.

Надежность Flash/EE памяти ADuC824

Массивы Flash/EE памяти программ и данных ADuC824 оцениваются по двум ключевым параметрам для памяти данного типа, а именно, по надежности или допустимому числу циклов программирования и по сохранности данных. Надежность определяет способность Flash/EE памяти многократно подвергаться циклам Программирования, Чтения и Стирания. На самом деле цикл состоит из четырех независимых последовательных событий, определяемых как:

- | | | |
|--|--|--|
| <ul style="list-style-type: none"> a. начальная последовательность стирания страницы b. последовательность чтения/верификации c. последовательность программирования байта d. вторая последовательность чтения/верификации | | <p>Единичный цикл</p> <p>Flash/EE памяти</p> |
|--|--|--|

При испытаниях на надежность выполняется циклическая последовательность для каждого байта Flash/EE памяти программ и данных начиная с адреса 00H и до FFH; последовательность выполняется до первого сбоя в записи, что определяет момент исчерпания предела надежности Flash/EE памяти.

Как указано в спецификациях настоящего ТО, испытания на надежность Flash/EE памяти ADuC824 выполняются в соответствии с «JEDEC Specification A117» в промышленном диапазоне температур -40°C , $+25^{\circ}\text{C}$ и $+85^{\circ}\text{C}$. Результаты дают спецификацию минимальной величины надежности (в зависимости от питания и температуры) 100000 циклов, причем при работе в типовых условиях при $+25^{\circ}\text{C}$ надежность составит 700000 циклов.

Сохранность данных определяет способность Flash/EE памяти сохранять записанные данные в течение определенного интервала времени. И, опять ADuC824 испытывается в соответствии с «JEDEC Retention Life-Time Specification A117» при характерной температуре перехода ($T=55^{\circ}\text{C}$). Как часть данной процедуры, сначала Flash/EE память циклируется до специфицированного предела надежности, как описывалось выше, до того, как будет оцениваться сохранность данных. Это означает наличие гарантии того, что Flash/EE память сохраняет свои данные в течение всего специфицированного интервала сохранности, всякий раз, когда она успешно проходит цикл перезаписи. Следует так же отметить, что интервал сохранности, основывающийся на величине энергии активации 0.6эВ, будет уменьшаться с ростом T_j , как показано на Рис.27.

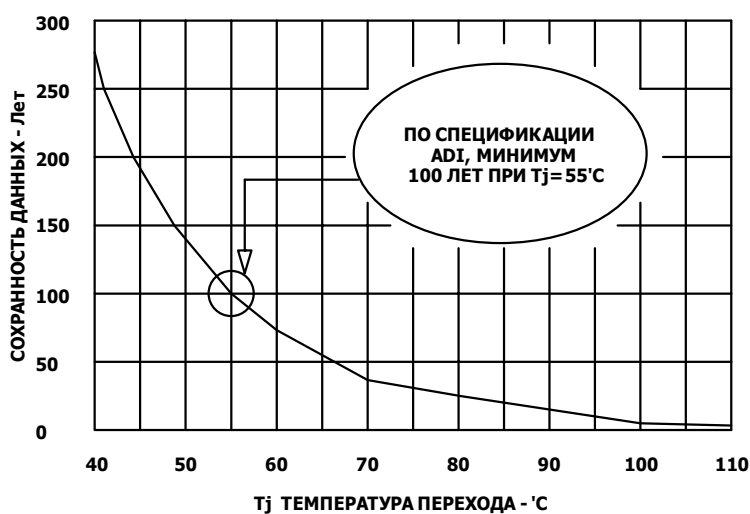


Рис.27. Зависимость сохранности данных Flash/EE памяти от температуры перехода.

Использование Flash/EE-памяти Программ.

8К байт Flash/EE-памяти программ располагаются в младших 8К байтах из наличных 64К байтов адресуемой памяти программ, и используются для размещения пользовательского кода типовых приложений.

Массив памяти программ можно программировать в одном из двух режимов, а именно:

Последовательная Загрузка (внутрисхемное программирование).

Как часть заводской программы загрузки, ADuC824 включает в себя код последовательной загрузки через стандартный последовательный порт (UART). Режим последовательной загрузки включается автоматически при подаче питания, если контакт PSEN/ подключен через внешний резистор к земле, как показано на Рис.28. Попав в этот режим, пользователь может загрузить свой код в массив памяти программ, в то время как устройство будет находиться в составе конечной прикладной системы. Исполняемая программа последовательной загрузки с ПК, поставляется как часть системы разработки QuickStart ADuC824. Протокол последовательной загрузки детализован в заметке по применению - uC004, которую можно получить из сети Internet по адресу www.analog.com/microconverter.

ДЛЯ УСТАНОВКИ ADuC824 В РЕЖИМ
ПОСЛЕДОВАТЕЛЬНОЙ ЗАГРУЗКИ
ПОДАЙТЕ НИЗКИЙ УРОВЕНЬ НА
PSEN/ ВО ВРЕМЯ ЦИКЛА "RESET"

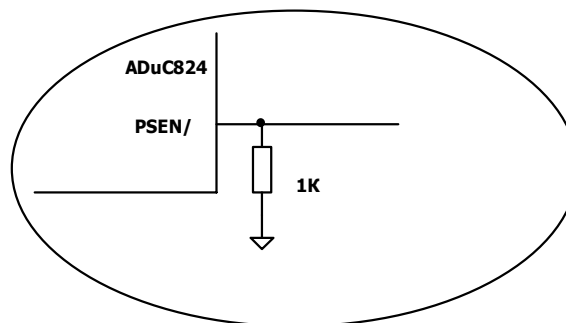


Рис.28. Программирование Flash/EE-памяти в режиме последовательной загрузки.

Параллельное Программирование

Режим параллельного программирования полностью совместим со стандартными устройствами программаторов EEPROM или Flash-памяти от сторонних производителей. Блок схема внешней конфигурации контактов, требуемая для поддержки параллельного программирования, показана на Рис.29. В этом режиме порты P0, P1 и P2 работают в качестве внешней интерфейсной магистрали адреса и данных, сигнал ALE работает как строб разрешения записи, а порт P3 используется как порт общего назначения, который устанавливает устройство в различные режимы стирания и программирования во время выполнения процесса программирования.

Источник высокого напряжения (12В), требуемый для программирования Flash/EE-памяти, встроен внутри кристалла и представляет собой схему «зарядового насоса».

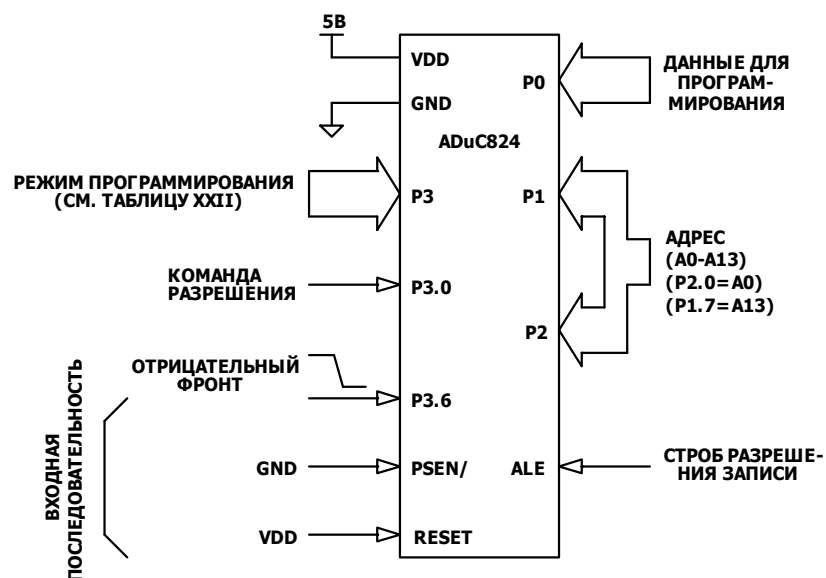


Рис.29. Параллельное программирование Flash/EE-памяти.

В таблице XI показаны режимы обычного параллельного программирования, которые можно получить, используя биты порта P3.

Таблица XII. Режимы параллельного программирования Flash/EE-памяти

Контакты ПортыЗ							Режим программирования
0.7	0.6	0.5	0.4	0.3	0.2	0.1	
X	X	X	X	0	0	0	Стирание Flash/EE-памяти программ, данных и режимов защиты
X	X	X	X	0	0	1	Чтение сигнатуры/идентификатора устройства
X	X	X	0	0	1	0	Программирование байта данных
X	X	X	1	0	1	0	Программирование байта кода
X	X	X	0	0	1	1	Чтение байта данных
X	X	X	1	0	1	1	Чтение байта кода
X	X	X	X	1	0	0	Программирование режимов защиты
X	X	X	X	1	0	1	Чтение/проверка режимов защиты
Все оставшиеся коды							Резервные

Защита Flash/EE памяти Программ

ADuC824 имеет три режима защиты Flash/EE памяти программ. Все режимы можно активировать независимым образом, ограничив тем самым доступ к внутреннему пространству кода. Эти режимы защиты можно разрешить как часть пользовательского интерфейса всех инструментов программирования как параллельных, так и последовательных доступных на странице www.analog.com/microconverter.

Режимы защиты ADuC824 выглядят следующим образом:

Режим Закрытия

Этот режим «запирает» код в памяти, запрещая выполнение параллельного программирования памяти программ, разрешая, однако, ее параллельное считывание. Этот режим деактивируется (снимается) по началу выполнения команды «стирание кода» в режимах последовательной загрузки или параллельного программирования.

Режим Защиты

Этот режим «запирает» код в памяти, запрещая параллельное программирование (выполнение команд верификации/чтения), а так же исполнение инструкции «MOVC» из внешней памяти, которая является попыткой считать исполняемый код из внутренней Flash/EE памяти. Этот режим деактивируется (снимается) по началу выполнения команды «стирание кода» в режимах последовательной загрузки или параллельного программирования.

Режим Последовательной Защиты

Этот режим запрещает возможность последовательной загрузки устройства. Когда активирован режим последовательной защиты и делается попытка установить устройство в режим последовательной загрузки, т.е. устанавливается сигнал RESET при наличие низкого уровня PSEN/, устройство будет интерпретировать эту попытку установки режима последовательной загрузки как обычный сброс (инициализацию) и только. Оно не войдет в режим последовательной загрузки, а только выполнит последовательность обычного сброса устройства. Режим последовательной защиты может быть снят только началом выполнения команды «стирания кода» в режиме параллельного программирования.

Использование Flash/EE-памяти Данных.

Пользовательский массив Flash/EE памяти данных состоит из 640 байт, которые организованы в виде 160 4-битных страниц (00H-9FH), как показано на Рис.30.

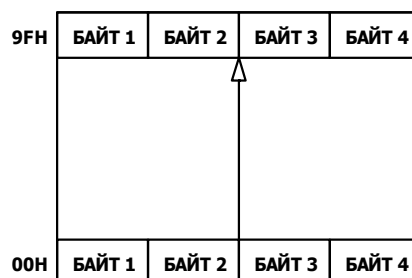


Рис.30. Конфигурация Flash/EE-памяти данных.

Как и в случае пользовательской периферии ADuC824, интерфейс к этой области памяти осуществляется через SFR регистры. Для хранения содержимого 4 байтовой страницы последнего обращения, используется 4 регистра данных (EDATA1-4). Для хранения 8-битового адреса страницы, к которой будет производиться доступ, используется регистр EADRL. И, наконец, ECON – 8-битный регистр управления, в который можно записать одну из 5 команд доступа к Flash/EE-памяти для выполнения различных операций: чтение, запись, стирание и верификация. Эти регистры описываются следующим образом:

ECON:	Адрес SFR:	В9Н
	Функция:	Управляет доступом к пространству из 640 байт Flash/EE-памяти данных
	По умолчанию:	00Н
EADRL:	Адрес SFR:	С6Н
	Функция:	Содержит адрес страницы Flash/EE-памяти данных (640 байт –160 адресов)
	По умолчанию:	00Н
EDATA1-4	Адрес SFR:	ВСН - ВFN, соответственно,
	Функция:	Содержат данные со страницы Flash/EE-памяти данных для записи или после чтения.
	По умолчанию:	EDATA1-2—00Н EDATA3-4 – 00Н

Блок схема регистрового интерфейса SFR к массиву Flash/EE-памяти данных показана на Рис.31.

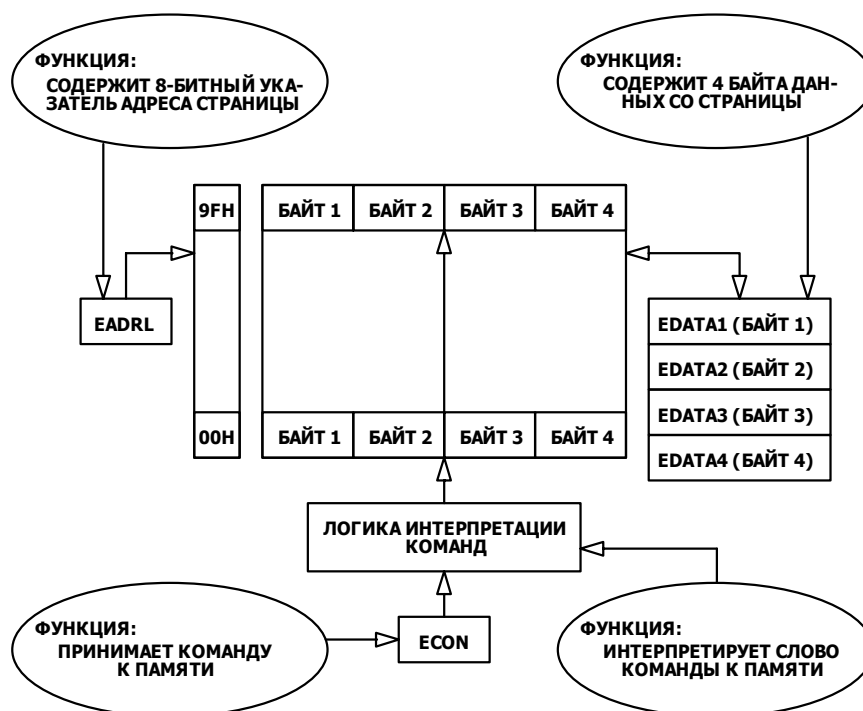


Рис.31. Конфигурация и управление Flash/EE-памятью данных.

ECON – Регистр Управления Flash/EE памятью.

Этот регистр работает в качестве интерпретатора команд; в него можно записать одну из пяти команд для разрешения различных циклов чтения, программирования и стирания, как показано в таблице XIII.

Таблица XIII. Режимы команд регистра управления Flash/EE-памятью ECON.

Команда	Режим
01H	КОМАНДА ЧТЕНИЯ Дает 4 байта данных, считываемых в регистры EDATA1-4 с адреса страницы расположенного в EADRL.
02H	КОМАНДА ЗАПИСИ Приводит к тому, что 4 байта расположенных в EDATA1-4, записываются по адресу страницы, расположенному в регистре EADRL. Данная команда записи предполагает, что предназначенная для записи страница была предварительно стерта.
03H	КОМАНДА ЗАРЕЗЕРВИРОВАНА ДЛЯ ВНУТРЕННИХ ЦЕЛЕЙ 03H не следует записывать в ECON SFR.
04H	КОМАНДА ВЕРИФИКАЦИИ Позволяет пользователю выполнять верификацию, если данные в регистрах EDATA1-4 уже содержатся в памяти по адресу, записанному в регистре EADRL. Последовательное чтение регистра ECON даст «нуль», если верификация верна и не нулевую величину, если верификация не верна.
05H	КОМАНДА СТИРАНИЯ Приводит к стиранию данных 4-байтовой страницы по адресу, расположенному в регистре EADRL.
06H	КОМАНДА СТЕРЕТЬ ВСЕ Приводит к стиранию всей Flash/EE-памяти данных 160 страниц (640 байт).
07H-FFH	РЕЗЕРВНЫЕ КОМАНДЫ Команды зарезервированы для использования в дальнейшем.

Циклы Записи и Стирания Flash/EE памяти.

Типовые времена программирования/стирания Flash/EE-памяти данных следующие:

Стирание всего массива (640 байт)	- 2 мс
Стирание 1 страницы (4 байта)	- 2 мс
Программирование страницы (4 байта)	- 250 мкс
Чтение страницы (4 байта)	1 командный цикл

Использование Интерфейса Flash/EE памяти

Как и в случае любой архитектуры Flash/EE-памяти, эта область может программироваться в системе на байтовом уровне, разумеется прежде она должна быть стерта; причем стирание выполняется блоками (4-байтными страницами в нашем случае).

Типовой доступ к массиву Flash/EE-памяти включает в себя: установку в регистре EADRL адреса страницы, к которой будет осуществляться обращение; занесение данных в регистры EDATA1-4, которые будут записываться в память (в SFR EDATA не нужно заносить данные при выполнении цикла чтения); и, наконец, запись управляющего слова в регистр ECON, которое инициирует один из 6 режимов работы, показанных в таблице XIII.

Следует отметить, что данный режим работы инициируется только тогда, когда управляющее слово записывается в регистр ECON. С этого момента времени ядро микроконтроллера ADuC824 начинает работать в холостом режиме и до тех пор, пока затребованный режим программирования/чтения или стирания не закончится.

На практике это означает, что если даже режим работы памяти инициируется двумя машинными циклами команды MOV (для записи в регистр ECON), следующая за командой инструкция не будет выполняться до тех пор, пока операция записи во Flash/EE-память не закончится (250 мксек или 2 мсек спустя). Это означает, что ядро не будет реагировать на запросы прерывания до тех пор, пока операция во Flash/EE-памяти не закончится, хотя некоторые функции периферии, как, например, работа счетчиков/таймеров будет продолжаться в течение этого периода.

Стереть все

Хотя 640 байт пользовательской Flash/EE-памяти поставляется с предприятия изготовителя предварительно стертыми, т.е. во все ячейки памяти записано FFH, тем не менее, является хорошей практикой программирования включение подпрограммы стирания всей памяти, как части любого программного обеспечения, выполняющегося на ADuC824. Команда «стереть все» состоит в записи кода «06H» в регистр ECON, который инициирует стирание всех 640 байт массива Flash/EE-памяти. Эта операция, написанная на ассемблере 8051, выглядит следующим образом:

```
MOV ECON, #06H      ;Команда стереть все
                    ;Длительность 2мс
```

Программирование Байта

Вообще говоря, байт в массиве Flash/EE-памяти можно запрограммировать только тогда, когда ячейка была предварительно стерта, точнее говоря, байт может быть запрограммирован, если содержимое ячейки было величиной FFH. Вследствие специфичности архитектуры Flash/EE-памяти это стирание должно произойти на уровне страницы, поэтому минимум 4 байта (одна страница) будет стерта при инициировании команды стирания.

Более специфичный пример процесса программирования байта показан ниже. В этом примере пользователь должен записать F3H во второй байт на странице 03H Flash/EE-памяти данных. Память в тоже время уже содержит 3 значащих байта на этой странице. Поскольку пользователю требуются модифицировать только один из байтов страницы, вся страница сначала должна быть сохранена с тем, чтобы эту страницу можно было затем стереть без потери существующих данных.

Этот пример написанный на ассемблере 8051 выглядит следующим образом:

```
MOV EADRL, #03H    ; установить указатель
                    ; адреса страницы
MOV ECON, #01H     ; прочитать страницу
MOV EDATA2, #0F3H  ; записать новый байт
MOV ECON, #05H     ; стереть страницу
MOV ECON, #02H     ; записать страницу в
                    ; Flash/EE память
```

ИНТЕРФЕЙС ПОЛЬЗОВАТЕЛЯ К ОСТАЛЬНОЙ ВНУТРЕННЕЙ ПЕРИФЕРИИ ADuC824

Данный раздел дает краткий обзор различных вторичных периферийных устройств, входящих в состав кристалла. Дается обзор используемых регистров SFR для управления этой периферией.

ЦАП:

ADuC824 включает в свой состав внутренний 12-битный ЦАП с выходом в виде напряжения. ЦАП имеет на выходе буферный усилитель напряжения с размахом сигнала от-питания-до-питания, способный управлять нагрузкой 10КОм/100пФ. ЦАП имеет два выбираемых диапазона: 0В- V_{REF} (внутренний ИОН 2.5В по запрещенной зоне) и 0В- AV_{DD} . Он может работать в 12-битном или в 8-битном режиме. ЦАП имеет регистр управления DACCON и два регистра данных DACL/H. Можно запрограммировать так, чтобы сигнал с выхода ЦАПа появлялся на контакте 3 или контакте 12. Следует отметить, что в 12-битном режиме, напряжение на выходе ЦАП будет модифицировано только тогда, когда данные будут занесены в DACL SFR; по этой причине данные в регистры ЦАП следует записывать в следующем порядке: сначала в DACH, а потом в DACL.

DACCON – регистр управления ЦАПом:

Адрес SFR	FDH
Значение по включению питания	00H
Битовая адресация	Нет

-	-	-	DACPIN	DAC8	DACRN	DACCLR/	DACEN
---	---	---	---------------	-------------	--------------	----------------	--------------

Таблица XIV. Назначение бит DACCON SFR

Бит	Имя	Описание
7	-	Зарезервирован для дальнейшего использования
6	-	Зарезервирован для дальнейшего использования
5	-	Зарезервирован для дальнейшего использования
4	DACPIN	Выбор выходного контакта для ЦАП <i>Устанавливается</i> пользователем для того, чтобы направить выход ЦАП на контакт 12 (P1.7/AIN4/DAC). <i>Сбрасывается</i> пользователем для того, чтобы направить выход ЦАП на контакт 3 (P1.2/DAC/IEXC1).
3	DAC8	Бит 8-битного режима ЦАП <i>Устанавливается</i> пользователем для разрешения 8-битной работы ЦАП. В этом режиме 8 бит регистра данных DACL направляются в 8 старших разрядов ЦАП, а 4 младших разряда устанавливаются равными нулю. <i>Сбрасывается</i> пользователем для разрешения обычной 12-битной работы ЦАПА.
2	DACRN	Бит выходного диапазона ЦАП. <i>Устанавливается</i> пользователем для включения диапазона ЦАП 0- AV_{DD} . <i>Сбрасывается</i> пользователем для установки диапазона ЦАП 0-2.5В.
1	DACCLR/	Бит очистки ЦАП. <i>Устанавливается</i> пользователем в «1» для разрешения обычной работы ЦАП. <i>Сбрасывается</i> пользователем в «0» для очистки регистров данных ЦАП (DACL/H в 0).
0	DACEN	Бит разрешения ЦАП. <i>Устанавливается</i> пользователем в «1» для разрешения обычной работы ЦАП. <i>Сбрасывается</i> пользователем в «0» для снятия питания с ЦАП.

DACL/H – Регистры данных ЦАП:

Функция	Регистры данных ЦАП, записываемые для подачи напряжения на выход.	
SFR Адрес	DACL (младший байт ЦАПа)	FBH
	DACH (старший байт ЦАПа)	FCH
Значение по включению питания	00H	Оба регистра
Битовая адресация	Нет	Оба регистра

12 бит данных следует записывать в регистры данных ЦАП так, чтобы DACL содержал 8 младших бит данных, а младший ниббл регистра DACH содержал четыре старших разряда.

ВНУТРЕННЯЯ СИСТЕМА ФАПЧ:

ADuC824 предназначен для использования совместно с часовым кварцевым резонатором 32.768КГц. Система фазовой автоподстройки частоты (ФАПЧ) умножает эту величину на 384 (32 раза по 12) для получения стабильной рабочей тактовой частоты системы 12.582912МГц. Микропроцессорное ядро может работать на данной частоте или меньшей, кратной степени числа 2, что позволяет экономить питание в тех приложениях, где не требуется максимальная производительность ядра. Тактовая частота ядра по умолчанию представляет собою тактовую частоту ФАПЧ деленную на 8 или 1.572864МГц. Тактовые сигналы АЦП также получают из сигналов синхронизации ФАПЧ, причем частота сигналов поступающих на модулятор та же самая, что и частота кварцевого резонатора. Такой выбор частот гарантирует, что модуляторы и ядро всегда будут синхронны вне зависимости от тактовой частоты ядра. Регистр PLLCON является регистром управления ФАПЧ.

PLLCON – регистр управления ФАПЧ:

Адрес SFR	D7H
Значение по включению питания	03H
Битовая адресация	Нет

OSC_PD	LOCK	-	LTEA/	FINT	CD2	CD1	CD0
--------	------	---	-------	------	-----	-----	-----

Таблица XV. Назначение бит PLLCON SFR

Бит	Имя	Описание	
7	OSC_PD	Бит снятия питания с осциллятора <i>Устанавливается</i> пользователем для остановки осциллятора 32КГц в режиме снятого питания . <i>Сбрасывается</i> пользователем для разрешения работы осциллятора 32КГц в режиме снятого питания. Это свойство позволяет счетчику временного интервала (TIC) продолжать работать даже при снятом питании.	
6	LOCK	Бит прерывания при блокировке ФАПЧ. Этот бит только читается. <i>Устанавливается</i> автоматически при подаче питания для индикации того, что система ФАПЧ правильно отслеживает тактовую частоту резонатора. Если цепь внешнего кварца разорвется, ФАПЧ – зависнет и ядро остановится. <i>Сбрасывается</i> автоматически при подаче питания для индикации того, что система ФАПЧ не отслеживает тактовую частоту резонатора. Это может происходить из-за отсутствия тактовой частоты резонатора или собственно внешнего кристалла при подаче питания. В это режиме на выходе ФАПЧ может генерироваться частота 12.58МГц $\pm 20\%$.	
5	-	Зарезервирован для дальнейшего использования; должен быть записан «0».	
4	LTEA/	Чтение этого бита возвращает значение внешнего контакта EA/, зафиксированного в момент подачи питания или сброса системы.	
3	FINT	Бит быстрой реакции на прерывание. <i>Устанавливается</i> пользователем, разрешая ускоренную реакцию на любое прерывание. Ускорение состоит в том, что прерывание будет исполняться на более высокой тактовой частоте ядра, вне зависимости от состояния бит CD2-CD0 (см. ниже). Как только программа пользователя возвращается из прерывания, выполнение кода продолжается на частоте ядра выбранной битами CD2-CD0. <i>Сбрасывается</i> пользователем с тем, чтобы запретить быструю реакцию на прерывание.	
2	CD2	Биты делителя рабочей частоты ЦПУ.	
1	CD1	Эти данные определяют частоту, на которой будет работать ядро микроконтроллера.	
0	CD0	CD2 CD1 CD0 Тактовая частота Частота ядра (МГц)	
		0 0 0 12.582912	Частота ядра по умолчанию.
		0 0 1 6.291456	
		0 1 0 3.145728	
		0 1 1 1.572864	
		1 0 0 0.786432	
		1 0 1 0.393216	
		1 1 0 0.196608	
		1 1 1 0.098304	

СЧЕТЧИК ВРЕМЕННОГО ИНТЕРВАЛА (ТИС)

В составе кристалла имеется счетчик временного интервала для счета больших временных интервалов, чем у стандартного таймера совместимого с 8051. Счетчик способен считать временные интервалы от 1/128 секунды до 255 часов. Более того, данный счетчик тактируется непосредственно резонатором, а не системой ФАПЧ и, таким образом, он обладает способностью оставаться активным в режимах «со снятым питанием» и считать длительные временные интервалы при снятом питании. Это имеет очевидное приложение для удаленных датчиков с батарейным питанием, для которых требуется регулярный опрос.

Существует 6 регистров SFR, связанных с данным счетчиком временного интервала, причем, регистр TIMECON является его регистром управления. В зависимости от состояния бит IT0 и IT1 в TIMECON, выходы переполнения выбранных счетных регистров подаются на счетный вход счетчика интервала. Когда содержимое этого счетчика становится равным величине временного интервала, загруженного в регистр INTVAL SFR, бит TII (TIMECON.2) устанавливается и вызывает прерывание, если оно разрешено (см. описание IEIP2 SFR в системе прерываний, позже в настоящем ТО). Если ADuC824 находится в режиме «питание снято», при разрешенном прерывании от ТИС, то бит TII восстановит работу устройства, выполнение кода будет продолжено переходом по вектору прерывания от ТИС с адресом сервисной программы 0053H. SFR, относящиеся к этому счетчику описаны в таблице XVI. Отметим также, что в SFR регистры временной базы можно первоначально записать текущее время, а далее счетчик может управляться пользовательской программой. На самом деле, это дает возможность применения его в качестве часов реального времени. Блок-схема счетчика показана на Рис.32.

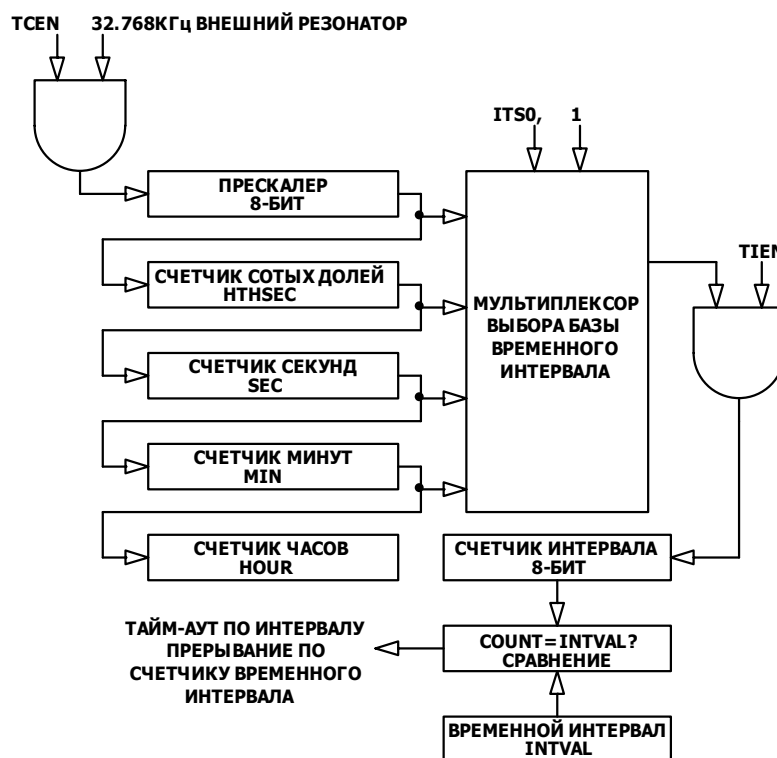


Рис.32. Упрощенная блок-схема счетчика временного интервала.

TIMECON – регистр управления счетчиком временного интервала (TIC)

Адрес SFR A1H
 Значение по включению питания 00H
 Битовая адресация Нет

-	-	ITS1	ITS0	STI	TII	TIEN	TCEN
---	---	-------------	-------------	------------	------------	-------------	-------------

Таблица XVI. Назначение бит TIMECON SFR

Бит	Имя	Описание															
7	-	Зарезервирован для дальнейшего использования.															
6	-	Зарезервирован для дальнейшего использования. Для совместимости с кодом будущих изделий этот бит следует устанавливать в «1».															
5	ITS1	Биты выбора интервала временной базы.															
4	ITS0	Записываются пользователем для определения входной частоты счетчика интервала.															
		<table border="1"> <thead> <tr> <th>ITS1</th> <th>ITS0</th> <th>Интервал временной базы</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1/128 сек</td> </tr> <tr> <td>0</td> <td>1</td> <td>Секунды</td> </tr> <tr> <td>1</td> <td>0</td> <td>Минуты</td> </tr> <tr> <td>1</td> <td>1</td> <td>Часы</td> </tr> </tbody> </table>	ITS1	ITS0	Интервал временной базы	0	0	1/128 сек	0	1	Секунды	1	0	Минуты	1	1	Часы
ITS1	ITS0	Интервал временной базы															
0	0	1/128 сек															
0	1	Секунды															
1	0	Минуты															
1	1	Часы															
3	STI	Бит однократного временного интервала. <i>Устанавливается</i> пользователем для выполнения однократной генерации интервального тайм-аута. Если бит установлен, тайм-аут сбросит бит TIEN. <i>Сбрасывается</i> пользователем для разрешения автоматической перезагрузки интервального счетчика и последующего запуска счета по каждому интервальному тайм-ауту.															
2	TII	Бит прерывания от счетчика временного интервала. Является битом только для чтения, обычно находится в нулевом состоянии. <i>Устанавливается</i> , когда содержимое 8-битного счетчика временного интервала равно величине, записанной в регистр INTVAL SFR. <i>Сбрасывается</i> программой пользователя.															
1	TIEN	Бит разрешения счетчика временного интервала. <i>Устанавливается</i> пользователем для разрешения 8-битного счетчика временного интервала. <i>Сбрасывается</i> пользователем для запрещения и очистки счетчика временного интервала.															
0	TCEN	Бит разрешения временного счета. <i>Устанавливается</i> пользователем для разрешения подачи импульсов времени на счетчики временных интервалов. <i>Сбрасывается</i> пользователем для запрещения подачи импульсов времени на счетчики временных интервалов и их очистки. Во временные регистры (HTHSEC, SEC, MIN, HOUR) можно производить запись до тех пор, пока TCEN находится в низком Лог.уровне.															

INTVAL – регистр выбора интервала счета, определяемого пользователем.

Функция Код пользователя записывает в этот регистр требуемый временной интервал. Когда содержимое 8-битного счетчика временного интервала становится равным величине временного интервала, загруженного в регистр INTVAL SFR, бит TII (TIMECON.2) устанавливается и вызывает прерывание, если оно разрешено (см. описание IEIP2 SFR в системе прерываний, позже в настоящем ТО

Адрес SFR A6H
 Значение по включению питания 00H
 Битовая адресация Нет
 Диапазон величин 0-255 (десятичных)

HTHSEC - регистр времени сотых долей секунды.

Функция Это регистр инкрементируется каждую (1/128) сек., когда бит TCEN в TIMECON активен. Этот регистр считает от 0 до 127, до переполнения и инкрементирования регистра времени SEC.

Адрес SFR	A2H
Значение по включению питания	00H
Битовая адресация	Нет
Диапазон величин	0-127 (десятичных)

SEC – регистр секундного времени.

Функция Этот регистр инкрементируется каждую 1 секунду, когда бит TCEN в TIMECON активен. Этот счетчик считает от 0 до 59, до переполнения и инкрементирования регистра времени MIN.

Адрес SFR	A3H
Значение по включению питания	00H
Битовая адресация	Нет
Диапазон величин	0-59 (десятичных)

MIN – регистр минутного времени.

Функция Этот регистр инкрементируется каждую 1 минуту, когда бит TCEN в TIMECON активен. Регистр считает от 0 до 59, до переполнения и инкрементирования регистра HOUR.

Адрес SFR	A4H
Значение по включению питания	00H
Битовая адресация	Нет
Диапазон величин	0-59 (десятичных)

HOUR – регистр часового времени.

Функция Этот регистр инкрементируется каждый 1 час, когда бит TCEN в TIMECON активен. Регистр считает от 0 до 23.

Адрес SFR	A5H
Значение по включению питания	00H
Битовая адресация	Нет
Диапазон величин	0-23 (десятичных)

СТОРОЖЕВОЙ ТАЙМЕР (WDT)

Назначение сторожевого таймера состоит в том, чтобы выработать сброс устройства или его прерывание, если ADuC824 входит в состояние ошибки в пределах соответствующего интервала времени, возможно, благодаря ошибке программирования или действию электрической или радиочастотной помехи. Работа таймера может быть запрещена путем сброса бита WDE (разрешение сторожевого таймера) в регистре управления таймером (WDCON). В разрешенном состоянии схема таймера вырабатывает системный сброс или прерывание (в зависимости от значения бита WDIR), если программа пользователя не переустановила бит сторожевого таймера (WDE) в течение определенного временного интервала (см. биты PRE3-0 в WDCON). Сторожевой таймер представляет собой 16-битный счетчик, который тактируется частотой 32.768КГц. Временной интервал контроля может меняться с помощью бит PRE3-0 в регистре WDCON. Функциями управления и состояния сторожевого таймера можно управлять с помощью регистра управления таймером (WDCON). Программное обеспечение пользователя только тогда может записывать в WDCON SFR, если начата двоякая последовательность записи в WDWR, как показано ниже.

WDCON - регистр управления сторожевым таймером

Адрес SFR	CON
Значение по включению питания	10H
Битовая адресация	Да

PRE3	PRE2	PRE1	PRE0	WDIR	WDS	WDE	WDWR
------	------	------	------	------	-----	-----	------

Таблица XVII. Назначение бит WDCON SFR

Биты	Имя	Описание																																																												
7	PRE3	Биты прескалера сторожевого таймера.																																																												
6	PRE2	Временной период сторожевого таймера задается выражением $t_{WD} = (2^{PRE} \times (2^9 / f_{PLL}))$																																																												
5	PRE1	$(0 \leq PRE \leq 7; f_{PLL} = 32.768 \text{ КГц})$																																																												
4	PRE0	<table border="1"> <thead> <tr> <th>PRE3</th> <th>PRE2</th> <th>PRE1</th> <th>PRE0</th> <th>Период таймаута (мс)</th> <th>Действие</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>15.6</td> <td>Сброс или прерывание</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>31.2</td> <td>Сброс или прерывание</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>62.5</td> <td>Сброс или прерывание</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>125</td> <td>Сброс или прерывание</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>250</td> <td>Сброс или прерывание</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>500</td> <td>Сброс или прерывание</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1000</td> <td>Сброс или прерывание</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>2000</td> <td>Сброс или прерывание</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0.0</td> <td>Немедленный сброс</td> </tr> </tbody> </table>	PRE3	PRE2	PRE1	PRE0	Период таймаута (мс)	Действие	0	0	0	0	15.6	Сброс или прерывание	0	0	0	1	31.2	Сброс или прерывание	0	0	1	0	62.5	Сброс или прерывание	0	0	1	1	125	Сброс или прерывание	0	1	0	0	250	Сброс или прерывание	0	1	0	1	500	Сброс или прерывание	0	1	1	0	1000	Сброс или прерывание	0	1	1	1	2000	Сброс или прерывание	1	0	0	0	0.0	Немедленный сброс
PRE3	PRE2	PRE1	PRE0	Период таймаута (мс)	Действие																																																									
0	0	0	0	15.6	Сброс или прерывание																																																									
0	0	0	1	31.2	Сброс или прерывание																																																									
0	0	1	0	62.5	Сброс или прерывание																																																									
0	0	1	1	125	Сброс или прерывание																																																									
0	1	0	0	250	Сброс или прерывание																																																									
0	1	0	1	500	Сброс или прерывание																																																									
0	1	1	0	1000	Сброс или прерывание																																																									
0	1	1	1	2000	Сброс или прерывание																																																									
1	0	0	0	0.0	Немедленный сброс																																																									
		PRE3-PRE0 > 1001 Зарезервировано																																																												
3	WDIR	Бит разрешения прерывания от сторожевого таймера. Если этот бит устанавливается пользователем, сторожевой таймер будет вырабатывать прерывание вместо сброса системы по окончании интервала тайм-аута. Это прерывание не запрещается командой CLR EA и является прерыванием с фиксированным высоким приоритетом. Если сторожевой таймер не используется для слежения за системой, его можно, как альтернативу, использовать в качестве таймера, причем прескалер используется для установки периода тайм-аута, по окончании которого будет вырабатываться прерывание. (см. т.же Примечание1, Таблица XXXIV. в разделе системы прерываний).																																																												
2	WDS	Бит состояния сторожевого таймера. Устанавливается контроллером таймера для индикации того, что его таймаут произошел. Сбрасывается путем записи нуля или внешним аппаратным сбросом. Бит не очищается сбросом сторожевого таймера.																																																												
1	WDE	Бит разрешения сторожевого таймера. Устанавливается пользователем для разрешения сторожевого таймера и сброса его счетчиков. Если этот бит не переустановлен пользователем внутри периода тайм-аута, тогда таймер сгенерирует сброс системы или прерывание, в зависимости от состояния бита WDIR. Сбрасывается при следующих условиях: пользователь записывает «0»; сброс сторожевого таймера (WDIR = «0»); аппаратный сброс; прерывание по PSM.																																																												
0	WDWR	Бит разрешения записи в сторожевой таймер. Для записи данных в регистр WDCON требуется последовательность из двух команд: сначала следует установить бит WDWR, и только следующей командой следует записать данные в WDCON SFR. Т.е. CLR EA ;запретить прерывание на ;время загрузки WDT SETB WDWR ;разрешить запись в WDCON MOV WDCON, #72h ;разрешить 2мс тайм-аут WDT SETB EA ;снова разрешить прерывание (если надо)																																																												

МОНИТОР ИСТОЧНИКА ПИТАНИЯ (PSM).

В соответствии со своим наименованием, Монитор Источника Питания, когда разрешен, следит за обоими источниками ADuC824 (AVDD и DVDD). Он будет сигнализировать тогда, когда на любом из контактов питания упадет напряжение ниже одного из четырех порогов, выбираемых пользователем от 2.63В до 4.63В. Для правильной работы Монитора напряжение AVDD должно быть выше или равно 2.7В. Работа монитора питания управляется регистром PSMCON SFR. Если разрешено прерывание через IEIP2 SFR, монитор вызовет прерывание ядра, используя бит PSMI в PSMCON SFR. Этот бит прерывания не будет сброшен до тех пор, пока аварийный источник питания не вернется на уровень выше заданного порога в течение, по крайней мере, 256мсек. Данная функция монитора гарантирует, что пользователь может спасти рабочие регистры, с тем, чтобы избежать возможной порчи данных из-за пониженного питания и, что выполнение кода не продолжится до тех пор, пока уровень питания не достигнет безопасной величины. Монитор питания также защищен против случайных всплесков напряжения, могущих инициировать прерывание.

PSMCON – регистр управления монитором источника питания

Адрес SFR	DFH
Значение по включению питания	DEH
Битовая адресация	Нет

CMPD	CMPA	PSMI	TPD1	TPD0	TPA1	TPA0	PSMEN
-------------	-------------	-------------	-------------	-------------	-------------	-------------	--------------

Таблица XVIII. Назначение бит PSMCON SFR

Биты	Имя	Описание															
7	CMPD	Бит компаратора DVDD. Этот бит только для чтения и отражает непосредственно состояние DVDD компаратора. Считывание «1» показывает, что источник DVDD находится выше установленного порога. Считывание «0» показывает, что источник DVDD находится ниже установленного порога.															
6	CMPA	Бит компаратора AV _{DD} . Этот бит только для чтения и отражает непосредственно состояние AVDD компаратора. Считывание «1» показывает, что источник AVDD находится выше установленного порога. Считывание «0» показывает, что источник AVDD находится ниже установленного порога.															
5	PSMI	Бит прерывания от монитора источника питания. Этот бит будет установлен MicroConverter в высокое состояние, если любой из битов (CMPA или CMPD) - низкий, что указывает на заниженную величину аналогового или цифрового питания. Бит PSMI можно использовать для прерывания процессора. Как только биты CMPD/CMPA возвращаются в высокое состояние (и остаются там), запускается счетчик на 250 мсек. Когда этот счетчик дает тайм-аут, бит прерывания PSMI сбрасывается. PSMI также может быть установлен пользователем. Однако если при этом выход любого из компараторов будет низким, то пользователю будет невозможно очистить бит PSMI.															
4 3	TPD1 TPD0	Биты выбора порога DVDD Эти биты выбирают порог напряжения следующим образом:															
		<table border="1"> <tr> <td>TPD1</td> <td>TPD0</td> <td>Выбранный порог (В) для DVDD</td> </tr> <tr> <td>0</td> <td>0</td> <td>4.63</td> </tr> <tr> <td>0</td> <td>1</td> <td>3.08</td> </tr> <tr> <td>1</td> <td>0</td> <td>2.93</td> </tr> <tr> <td>1</td> <td>1</td> <td>2.63</td> </tr> </table>	TPD1	TPD0	Выбранный порог (В) для DVDD	0	0	4.63	0	1	3.08	1	0	2.93	1	1	2.63
TPD1	TPD0	Выбранный порог (В) для DVDD															
0	0	4.63															
0	1	3.08															
1	0	2.93															
1	1	2.63															
2 1	TPA1 TPA0	Биты выбора порога AVDD Эти биты выбирают порог напряжения следующим образом:															
		<table border="1"> <tr> <td>TPA1</td> <td>TPA0</td> <td>Выбранный порог (В) для AVDD</td> </tr> <tr> <td>0</td> <td>0</td> <td>4.63</td> </tr> <tr> <td>0</td> <td>1</td> <td>3.08</td> </tr> <tr> <td>1</td> <td>0</td> <td>2.93</td> </tr> <tr> <td>1</td> <td>1</td> <td>2.63</td> </tr> </table>	TPA1	TPA0	Выбранный порог (В) для AVDD	0	0	4.63	0	1	3.08	1	0	2.93	1	1	2.63
TPA1	TPA0	Выбранный порог (В) для AVDD															
0	0	4.63															
0	1	3.08															
1	0	2.93															
1	1	2.63															
0	PSMEN	Бит разрешения Монитора Источника Питания. Устанавливается пользователем в «1» для разрешения монитора источника питания. Сбрасывается пользователем в «0» для запрета монитора источника питания.															

ПОСЛЕДОВАТЕЛЬНЫЙ ПЕРИФЕРИЙНЫЙ ИНТЕРФЕЙС (SPI)

В своем составе ADuC824 имеет законченный аппаратный последовательный периферийный интерфейс (SPI). SPI представляет собой стандартный промышленный синхронный последовательный интерфейс, который позволяет одновременно синхронно принимать и передавать 8 бит последовательных данных (т.е. по полному дуплексу). Следует отметить, что физический SPI разделяет аппаратуру и контакты интерфейса I2C, и поэтому пользователь в любой данный момент времени может разрешить либо один, либо другой интерфейс (см. ниже бит SPE в регистре SPICON). Систему можно сконфигурировать для работы как ведущую либо как ведомую, и она обычно предоставляет для обмена четыре контакта, а именно:

MISO (Контакт ввода/вывода данных: вход для ведущего, выход для ведомого), Контакт #14

MISO (master in, slave out) контакт конфигурируется как вход с линии в режиме ведущего и как выход на линию в режиме ведомого. Линия MISO с ведущего устройства (ввод данных) должна подключаться к линии MISO ведомого устройства (вывод данных). Данные передаются как 8-битные байты последовательно, причем СЗР передается первым.

MOSI (Контакт выхода ведущего, входа ведомого), Контакт #27

MOSI (master out, slave in) конфигурируется как выход на линию в режиме ведущего и как вход с линии в режиме ведомого. Линия MOSI с ведущего устройства (вывод данных) должна подключаться к линии MOSI ведомого устройства (ввод данных). Данные передаются как 8-битные байты последовательно, причем СЗР передается первым.

SCLOCK (Контакт ввода/вывода: последовательный синхросигнал), Контакт #26

Синхросигнал ведущего (SCLOCK) используется для синхронизации передаваемых и принимаемых данных по линиям MOSI и MISO. В каждом периоде синхросигнала передается и принимается один бит данных. Таким образом, один байт данных передается/принимается за восемь периодов SCLOCK. Контакт синхросигнала конфигурируется как выход в режиме ведущего устройства и как вход в режиме ведомого. В режиме ведущего с помощью бит CPOL, CPHA, SPR0 и SPR1 в SPICON SFR (см. таблицу XIX., ниже) управляют скоростью передачи, полярностью и фазой синхросигнала. В режиме ведомого регистр SPICON необходимо программировать по фазе и полярности (CPHA и CPOL) в соответствии с ожидаемым на входе синхросигналом. Как в режиме ведущего, так и в режиме ведомого устройства данные передаются по одному фронту синхросигнала, а вводятся по другому. Поэтому важно, чтобы биты CPHA и CPOL были одинаковыми как для ведущего так и для ведомого устройств.

SS/ (Контакт ввода: выбор ведомого), Контакт #13

Входной контакт SS/ (slave select) используется только тогда, когда ADuC824 сконфигурирован ведомым устройством для разрешения периферийного SPI. Эта линия активна при низком уровне. В режиме ведомого данные могут приниматься или передаваться только тогда, когда уровень на выводе SS/ низкий, что позволяет использовать ADuC824 в конфигурации с одним ведущим и несколькими ведомыми устройствами. Если бит CPHA=1, то вход SS/ может быть постоянно в низком уровне. При CPHA=0 вход SS/ должен переводиться в низкое состояние до начала передачи или приема первого переносимого бита байта и возвращаться в высокое после передачи или приема последнего бита того же байта. В режиме ведущего SPI логический уровень на внешнем выводе SS/ (Контакт #13) можно прочитать с бита SPR0 в SPICON SFR.

Для управления интерфейсом SPI используется следующие SFR-регистры.

SPICON - регистр управления SPI:

Адрес SFR	F8H
Значение по включению питания	04H
Битовая адресация	Да

ISPI	WCOL	SPE	SPIM	CPOL	CPHA	SPR1	SPR0
-------------	-------------	------------	-------------	-------------	-------------	-------------	-------------

Таблица XIX. Назначение бит SPICON SFR

Биты	Имя	Описание															
7	ISPI	Бит прерывания от SPI. <i>Устанавливается</i> MicroConverter в конце каждой передачи по SPI. <i>Сбрасывается</i> непосредственно кодом пользователя или косвенно путем чтения регистра SPIDAT SFR.															
6	WCOL	Бит ошибки столкновения при записи. <i>Устанавливается</i> MicroConverter, если происходит запись в регистр SPIDAT в то время, когда происходит процесс передачи по SPI.															
5	SPE	Бит разрешения интерфейса SPI. <i>Устанавливается</i> пользователем для разрешения интерфейса SPI. <i>Сбрасывается</i> пользователем для разрешения интерфейса I2C.															
4	SPIM	Бит выбора режима SPI «ведущий/ведомый». <i>Устанавливается</i> пользователем для разрешения режима «ведущий» (SCLOCK на выход). <i>Сбрасывается</i> пользователем для разрешения режима «ведомый» (SCLOCK на вход).															
3	CPOL	Бит выбора полярности синхросигнала. <i>Устанавливается</i> пользователем с тем, чтобы пассивный уровень SCLOCK был высоким. <i>Сбрасывается</i> пользователем с тем, чтобы пассивный уровень SCLOCK был низким.															
2	CPHA	Бит выбора фазы синхросигнала. <i>Устанавливается</i> пользователем, чтобы для передачи данных служил передний фронт SCLOCK. <i>Сбрасывается</i> пользователем, чтобы для передачи данных служил задний фронт SCLOCK.															
1 0	SPR1 SPR0	Биты выбора скорости передачи данных SPI. Данные биты устанавливают скорость передачи в режиме «ведущий» следующим образом:															
		<table border="1"> <thead> <tr> <th>SPIC.1</th> <th>SPIC.0</th> <th>Выбранная скорость передачи</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>$f_{CORE}/2$</td> </tr> <tr> <td>0</td> <td>1</td> <td>$f_{CORE}/4$</td> </tr> <tr> <td>1</td> <td>0</td> <td>$f_{CORE}/8$</td> </tr> <tr> <td>1</td> <td>1</td> <td>$f_{CORE}/16$</td> </tr> </tbody> </table> <p>В режиме ведомого SPI т.е. SPIM=0 логический уровень на внешнем контакте SS/ (Контакт #13) можно прочитать с бита SPR0.</p>	SPIC.1	SPIC.0	Выбранная скорость передачи	0	0	$f_{CORE}/2$	0	1	$f_{CORE}/4$	1	0	$f_{CORE}/8$	1	1	$f_{CORE}/16$
SPIC.1	SPIC.0	Выбранная скорость передачи															
0	0	$f_{CORE}/2$															
0	1	$f_{CORE}/4$															
1	0	$f_{CORE}/8$															
1	1	$f_{CORE}/16$															

ПРИМЕЧАНИЕ

Для ведущего и ведомого устройств биты CPOL и CPHA должны иметь одно и то же значение.

SPIDAT - регистр данных SPI

Функция В регистр SPIDAT пользователем записываются данные на передачу или читается код только что принятых данных по интерфейсу SPI.

Адрес SFR	F7H
Значение по включению питания	00H
Битовая адресация	Нет

Использование Интерфейса SPI

В зависимости от состояния бит регистра SPICON SFR, приведенных в таблице XIX., интерфейс SPI ADuC824 будет передавать или принимать данные в нескольких возможных режимах. На Рис.33 показаны все возможные модификации данного SPI, временные соотношения и синхронизация между участвующими в обмене сигналами. Также показан бит прерывания интерфейса ISPI и то, как он взводится по концу передачи каждого байта.

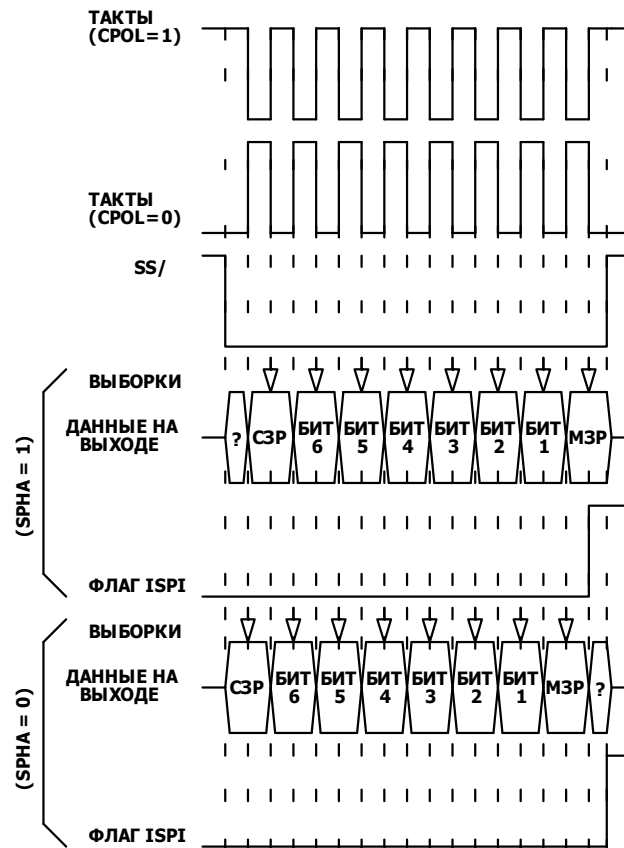


Рис.33. Синхронизация SPI ADuC824, во всех режимах.

Интерфейс SPI – Режим Ведущего Устройства

В режиме ведущего контакт SCLOCK всегда является выходным и генерирует последовательность из восьми синхроимпульсов всякий раз, когда код пользователя записывает данные в регистр SPIDAT. Частота SCLOCK определяется битами SPR0 и SPR1 в SPICON. Необходимо отметить, что контакт SS/ в режиме ведущего во взаимодействии не участвует. Если необходимо, чтобы ADuC824 установил управление на внешнее ведомое устройство по SS/, то для этой цели следует использовать выход цифрового Порты.

В режиме ведущего передача или прием байта инициируются записью в регистр SPIDAT. При этом, через контакт SCLOCK подается восемь периодов синхросигнала и байт из SPIDAT передается через контакт MOSI. В каждом периоде SCLOCK бит данных так же вводится в устройство через вывод MISO. После восьми синхроимпульсов, передаваемый байт будет полностью передан, а принимаемый байт будет находиться во входном сдвиговом регистре. Автоматически установится флаг ISPI и произойдет прерывание, если последнее разрешено. Данные из сдвигового регистра передадутся в регистр SPIDAT.

Интерфейс SPI – Режим Ведомого Устройства

В режиме ведомого SCLOCK является входом. Во время передачи байта контакт SS/ должен быть внешним образом переведен в низкое состояние.

Передача так же начинается записью в SPIDAT. В режиме ведомого бит данных передается через MISO, а бит данных принимается через MOSI во время каждого периода входного синхросигнала. После восьми синхроимпульсов передаваемый байт будет полностью передан, а принимаемый байт будет находиться во входном сдвиговом регистре. Автоматически установится флаг ISPI и произойдет прерывание, если последнее разрешено. Данные из сдвигового регистра передадутся в регистр SPIDAT только тогда, когда прием/передача байта полностью завершится. Конец передачи фиксируется по приему восьми синхроимпульсов, если CPHA=1 или, когда уровень на входе SS/ снова станет высоким, при CPHA=0.

ИНТЕРФЕЙС СОВМЕСТИМЫЙ С I2C

ADuC824 поддерживает режим двухпроводного последовательного интерфейса, совместимого с I2C. I2C интерфейс разделяет аппаратуру и контакты внутреннего интерфейса SPI и поэтому пользователь может в каждый данный момент времени выбрать либо один, либо другой интерфейс (см. ранее бит SPE в регистре SPICON). Техническое замечание с описанием работы этого интерфейса доступна на странице www.analog.com/microconverter. Этот интерфейс можно сконфигурировать так, чтобы он был либо «программным ведущим», либо «аппаратным ведомым». Для обмена в интерфейсе используются два контакта:

SDATA (контакт #27)	Контакт ввода/вывода последовательных данных
SCLOCK (контакт #26)	Последовательный синхросигнал

Для управления этим интерфейсом используются три регистра, описанные ниже.

I2CCON - регистр управления I2C:

Адрес SFR	E8H
Значение по включению питания	00H
Битовая адресация	Да

MDO	MDE	MCO	MDI	I2CM	I2CRS	I2CTX	I2CI
------------	------------	------------	------------	-------------	--------------	--------------	-------------

Таблица XX. Назначение бит I2CCON SFR

Биты	Имя	Описание
7	MDO	Бит выходных данных I2C. (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). Этот бит используется в интерфейсе «программный ведущий» для передачи данных по I2C. Данные записанные в этот бит будут выведены на контакт SDATA если бит разрешения вывода данных (MDE) установлен.
6	MDE	Бит разрешения вывода данных I2C (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). <i>Устанавливается</i> пользователем для назначения контакта SDATA на вывод данных. (TX). <i>Сбрасывается</i> пользователем для назначения контакта SDATA на ввод данных. (RX).
5	MCO	Бит выходного синхросигнала I2C (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). Этот бит используется для передающего интерфейса I2C в режиме «программный ведущий». Данные, записанные в этот бит, будут выводиться на контакт SCLOCK
4	MDI	Бит ввода данных I2C (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). Этот бит данных используется для приемного интерфейса в режиме «программный ведущий». Данные на контакте SDATA заносятся в этот бит по сигналу SCLOCK, если бит разрешения вывода данных (MDE) равен «0».
3	I2CM	Бит режима «ведущий/ведомый» I2C. <i>Устанавливается</i> пользователем для разрешения режима I2C «программный ведущий». <i>Сбрасывается</i> пользователем для разрешения режима I2C «аппаратный ведомый».
2	I2CRS	Бит сброса I2C (ТОЛЬКО ДЛЯ РЕЖИМА «АППАРАТНЫЙ ВЕДОМЫЙ»). <i>Устанавливается</i> пользователем для сброса интерфейса I2C. <i>Сбрасывается</i> кодом пользователя для нормальной работы I2C.
1	I2CTX	Бит установки направления передачи I2C (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). <i>Устанавливается</i> MicroConverter, если интерфейс передает <i>Сбрасывается</i> MicroConverter, если интерфейс принимает
0	I2CI	Бит прерывания от I2C (ТОЛЬКО ДЛЯ РЕЖИМА «ПРОГРАММНЫЙ ВЕДУЩИЙ»). <i>Устанавливается</i> MicroConverter после того, как байт передан или принят. <i>Сбрасывается</i> автоматически, когда код пользователя читает регистр I2CDAT SFR (см. I2CDAT ниже).

I2CADD – регистр адреса I2C:

Функция Содержит адрес I2C периферийного устройства. Он может быть перезаписан кодом пользователя. Техническое замечание на www.analog.com/microconverter подробно описывает формат семибитного адреса стандарта I2C.

Адрес SFR	9BH
Значение по включению питания	55H
Битовая адресация	Нет

I2CDAT - регистр данных I2C:

Функция Записывается пользователем для передачи данных по интерфейсу I2C или считывается пользователем для получения только что принятых по интерфейсу данных.

Адрес SFR	9AH
Значение по включению питания	00H
Битовая адресация	Нет

ВНУТРЕННЯЯ ПЕРИФЕРИЯ, СОВМЕСТИМАЯ С 8051.

Этот раздел дает краткое описание различных схем внутренней вторичной периферии, которая также доступна пользователю. Эти оставшиеся устройства полностью совместимы с 8051 и управляются через стандартные назначения бит SFR регистров для 8051.

Параллельные Порты Ввода/Вывода P0-3

ADuC824 использует для обмена данными с внешними устройствами четыре порта ввода/вывода. В дополнение к общим функциям ввода/вывода некоторые порты могут работать с внешней памятью; а другие мультиплексированы альтернативными функциями с внутренней периферией устройства. В общем случае, когда периферийные функции данного контакта разрешены, этот контакт нельзя использовать для ввода/вывода общего назначения.

Порт 0 является 8-битным двунаправленным портом В/В с открытым стоком; порт управляется непосредственно с SFR Порта 0 (адрес SFR=80H). Контакты Порта 0, имеющие «1» в соответствующих битах регистра Порта 0 будут контактами с открытым стоком и по этому «плавающими». В таком состоянии контакты Порта 0 можно использовать в качестве входов с высоким импедансом. Для образования корректного логического уровня на выходах на контакты Порта 0 потребуется установить резисторы на питание (подтягивающие резисторы). Кроме того, Порт 0 мультиплексирован с младшим байтом магистрали адреса и данных при доступе к внешней памяти программ или данных. В таких приложениях порт использует внутренние схемы привязки к питанию при генерации «1» на магистраль.

Порт 1 также является 8-битным портом, управляемым через P1 SFR (адрес SFR=90H). Контакты Порта 1 подразделяются на две различных группы. Контакты Порта 1 P1.0 и P1.1 являются двунаправленными цифровыми контактами В/В с внутренними схемами подтягивания к питанию. Если в P1.0 и P1.1 записаны «1» через P1 SFR, на их выходах будут высокие уровни, обусловленные внутренними подтягивающими резисторами. В этом состоянии их можно использовать как входы причем, если входы снаружи подтянуть к земле, то они будут отдавать ток во внешнюю цепь, благодаря внутренним резисторам, подтягивающим их к питанию. Если в эти биты порта записаны «0», то на их выходах будет напряжение низкого логического уровня и выходы способны принимать втекающий ток 10 мА, для сравнения, прочие контакты порта способны принимать втекающий ток до 1.6 мА. В таблице XXI. приводятся различные вторичные функции данных контактов.

Таблица XXI. Порт 1, альтернативные функции контактов

Контакт	Альтернативная функция
P1.0	T2 (внешний вход таймера/счетчика 2)
P1.1	T2EX (запуск захвата/перезагрузки таймера/счетчика 2)

Оставшиеся контакты Порты 1 (P1.2-P1.7) можно конфигурировать только как Аналоговые Входы (АЦП), Аналоговый Выход (ЦАП) или контакты Цифрового Ввода. По умолчанию (по подаче питания) эти контакты конфигурируются как Аналоговые Входы, т.е. «1» записываются в соответствующие биты регистра Порты 1. Для конфигурации любых из этих выводов в цифровые входы пользователь должен записать «0» в соответствующие биты порта, что преобразует соответствующие контакты в цифровые входы с высоким импедансом.

Порт 2 является двунаправленным портом с внутренними резисторами подтягивания к питанию. Порт управляется непосредственно через регистр P2 SFR (адрес SFR=A0H). Контакты Порты 2, которые содержат записанные в них «1», подтягиваются к высокому логическому уровню благодаря внутренним резисторам на питание и в этом состоянии могут использоваться как входы. Если контакты Порты 2, как входы, внешней цепью установить в низкое логическое состояние, то из-за наличия резисторов на питание, во внешнюю цепь потечет ток. Порт 2 дает старший байт адреса при выборке команды из внешней памяти программ и средний и старший байты адреса при организации доступа к внешнему 24-битному пространству памяти данных.

Порт 3 является двунаправленным портом с внутренними резисторами подтягивания к питанию. Порт управляется непосредственно через регистр P3 SFR (адрес SFR=B0H). Контакты Порты 3, которые содержат записанные в них «1», подтягиваются к высокому логическому уровню благодаря внутренним резисторам на питание и в этом состоянии могут использоваться как входы. Если контакты Порты 3, как входы, внешней цепью установить в низкое логическое состояние, то из-за наличия резисторов на питание, во внешнюю цепь потечет ток. В таблице XXII. приводятся различные вторичные функции Порты 3.

Таблица XXII. Порт 3, альтернативные функции контактов

Контакт	Альтернативная функция
P3.0	RXD (входной контакт последовательного асинхронного интерфейса UART) (или В/В последовательных данных в Режиме 0)
P3.1	TXD (выходной контакт UART или выход последовательных синхросигналов в Режиме 0)
P3.2	INT0/ (внешнее прерывание 0)
P3.3	INT1/ (внешнее прерывание 1)
P3.4	T0 (внешний вход таймера/счетчика 0)
P3.5	T1 (внешний вход таймера/счетчика 1)
P3.6	WR/ (строб записи внешней памяти данных)
P3.7	RD/ (строб чтения внешней памяти данных)

Альтернативные функции контактов P1.0, P1.1 и Порты 3 можно активизировать, если только соответствующие защелки битов P1 и P3 SFR содержат «1». Иначе контакт порта устанавливается в «0».

Таймеры/счетчики.

ADuC824 имеет в своем составе три 16-битных таймера/счетчика: Таймер 0, Таймер 1, Таймер 2. Аппаратура таймеров/счетчиков включена в состав кристалла для того, чтобы освободить ядро от значительных накладных расходов, присущих программной эмуляции функции таймера/счетчика. Каждый таймер/счетчик состоит из двух 8-битных регистров: THx и TLx (x=0,1 и 2). Все три устройства можно сконфигурировать для работы либо в качестве таймеров, либо в качестве счетчиков событий.

В режиме «таймер» TLx-регистр инкрементируется на каждом машинном цикле. Таким образом, его можно рассматривать в качестве счетчика машинных циклов. Поскольку машинный цикл состоит из 12 периодов осциллятора, максимальная скорость счета составляет 1/12 частоты осциллятора.

В режиме «счетчик» TLx-регистр инкрементируется по переходу от «1» к «0» на соответствующем внешнем входном контакте T0, T1 или T2. В этом режиме внешний вход опрашивается во время состояния S5P2 каждого машинного цикла. Когда опрос выявляет высокое состояние контакта в одном цикле и низкое в следующем, счетчик инкрементируется. Новая величина счета появится в регистре во время состояния S3P1 цикла, следующего за циклом, в котором был определен факт перехода. Поскольку весь процесс занимает два

машинных цикла (24 периода осциллятора), максимальная скорость счета составляет 1/24 частоты осциллятора. Не существует ограничений на скажность внешних входных сигналов, но для того, чтобы гарантировать, что данный уровень будет захвачен, как минимум, один раз до того, как он изменится, он должен сохранять свое состояние, по меньшей мере, в течение одного полного машинного цикла. Следует помнить, что тактовая частота ядра задается с помощью бит выбора CD0-2 в PLLCON SFR.

Конфигурация и управление рабочими режимами таймеров осуществляется через три SFR-регистра:

TMOD, TCON: Управление и конфигурация Таймеров 0 и 1.
T2CON: Управление и конфигурация Таймера 2.

TMODE – регистр управления Таймерами/Счетчиками 0 и 1:

Адрес SFR 89H
Значение по включению питания 00H
Битовая адресация Нет

Gate	C/T/	M1	M0	Gate	C/T/	M1	M0
------	------	----	----	------	------	----	----

Таблица XXIII. Назначение бит TMODE SFR

Биты	Имя	Описание		
7	Gate	Бит управления стробированием Таймера 1 <i>Устанавливается</i> программой для разрешения работы Таймера/Счетчика 1 только тогда, когда на входе INT1/ высокий уровень и бит управления TR1 установлен. <i>Сбрасывается</i> программой для разрешения работы Таймера 1 тогда, когда бит управления TR1 установлен.		
6	C/T/	Бит выбора Таймер или Счетчик для Таймера 1 <i>Устанавливается</i> программой для выбора режима «счетчик» (ввод с контакта T1). <i>Сбрасывается</i> программой для выбора режима «таймер» (работа от внутренних системных синхроимпульсов).		
5	M1	Бит 1 выбора режима работы Таймера 1 (используется совместно с битом 0).		
4	M0	Бит 0 выбора режима работы Таймера 1 (используется совместно с битом 1).		
		M1	M0	
		0	0	ТН1 работает как 8-битный Таймер/Счетчик. TL1 – как 5-битный предварительный делитель частоты.
		0	1	16-битный Таймер/Счетчик. ТН1 и TL1 каскадируются. Предварительный делитель частоты отсутствует.
		1	0	8-битный Счетчик/Таймер с автоперезагрузкой. В ТН1 – величина, которая будет перезагружаться в TL1 всякий раз по его переполнению.
		1	1	Таймер/Счетчик 1 Остановлен.
3	Gate	Бит управления стробированием Таймера 0 <i>Устанавливается</i> программой для разрешения работы Таймера/Счетчика 0 только тогда, когда на входе INT0/ высокий уровень и бит управления TR0 установлен. <i>Сбрасывается</i> программой для разрешения работы Таймера 0 тогда, когда бит управления TR0 установлен.		
2	C/T/	Бит выбора Таймер или Счетчик для Таймера 0 <i>Устанавливается</i> программой для выбора режима «счетчик» (ввод с контакта T0). <i>Сбрасывается</i> программой для выбора режима «таймер» (работа от внутренних системных синхроимпульсов).		
1	M1	Бит 1 выбора режима работы Таймера 0 (используется совместно с битом 0).		
0	M0	Бит 0 выбора режима работы Таймера 0 (используется совместно с битом 1).		
		M1	M0	
		0	0	ТН0 работает как 8-битный Таймер/Счетчик. TL0 – как 5-битный предварительный делитель частоты.
		0	1	16-битный Таймер/Счетчик. ТН0 и TL0 каскадируются. Предварительный делитель отсутствует.
		1	0	8-битный Счетчик/Таймер с автоперезагрузкой. В ТН0 – величина, которая будет перезагружаться в TL0 всякий раз по его переполнению.
		1	1	TL0 – обычный 8-битный Таймер/Счетчик, управляемый стандартным образом со стороны бит управления таймера 0. ТН0 – только таймер, управляемый со стороны бит управления Таймера 1.

TCON – регистр управления Таймерами/Счетчиками 0 и 1

Адрес SFR 88H
 Значение по включению питания 00H
 Битовая адресация Да

TF1	TR1	TF0	TR0	IE1¹	IT1¹	IE0¹	IT0¹
------------	------------	------------	------------	------------------------	------------------------	------------------------	------------------------

ПРИМЕЧАНИЕ

¹ Данные биты не используются для управления Таймерами/Счетчиками 0 и 1, напротив, они используются для управления и слежения за состоянием внешних контактов INT0/ и INT1/.

Таблица XXIV. Назначение бит TCON SFR

Биты	Имя	Описание
7	TF1	Флаг переполнения Таймера 1. <i>Устанавливается</i> аппаратно по переполнению Таймера/Счетчика 1. <i>Сбрасывается</i> аппаратно, когда программный счетчик (PC) переходит на подпрограмму обслуживания прерывания.
6	TR1	Бит управления работой Таймера 1. <i>Устанавливается</i> пользователем для включения Таймера/Счетчика 1. <i>Сбрасывается</i> пользователем для выключения Таймера/Счетчика 1.
5	TF0	Флаг переполнения Таймера 0. <i>Устанавливается</i> аппаратно по переполнению Таймера/Счетчика 0. <i>Сбрасывается</i> аппаратно, когда программный счетчик (PC) переходит на подпрограмму обслуживания прерывания.
4	TR0	Бит управления работой Таймера 0. <i>Устанавливается</i> пользователем для включения Таймера/Счетчика 0. <i>Сбрасывается</i> пользователем для выключения Таймера/Счетчика 0.
3	IE1	Флаг внешнего Прерывания 1 (INT1/). <i>Устанавливается</i> аппаратно по отрицательному перепаду или по низкому уровню сигнала (в зависимости от состояния бита IT1), прикладываемому к внешнему контакту прерывания INT1. <i>Сбрасывается</i> аппаратно при переходе программного счетчика на подпрограмму обслуживания прерывания и только если прерывание активируется по перепаду. Если прерывание активируется уровнем, то флаг управляется внешним источником запроса, а не внутренней аппаратурой.
2	IT1	Режим активирования Внешнего Прерывания 1 (на IE1). <i>Устанавливается</i> программой для активирования прерывания по фронту (т.е. по переходу «1-0»); <i>Сбрасывается</i> программой для активирования прерывания по уровню (по нулевому уровню).
1	IE0	Флаг внешнего Прерывания 0 (INT0/). <i>Устанавливается</i> аппаратно по отрицательному перепаду или по низкому уровню сигнала (в зависимости от состояния бита IT0), прикладываемому к внешнему контакту прерывания INT0. <i>Сбрасывается</i> аппаратно при переходе программного счетчика на подпрограмму обслуживания прерывания и только если прерывание активируется по перепаду. Если прерывание активируется уровнем, то флаг управляется внешним источником запроса, а не внутренней аппаратурой.
0	IT0	Режим активирования Внешнего Прерывания 0 (на IE0). <i>Устанавливается</i> программой для активирования прерывания по фронту (т.е. по переходу «1-0»); <i>Сбрасывается</i> программой для активирования прерывания по уровню (по нулевому уровню).

Регистры Данных Таймеров/Счетчиков 0 и 1

Каждый таймер состоит из двух 8-битных регистров. Их можно использовать как независимые регистры или как один объединенный 16-битный регистр в зависимости от выбранного режима таймера.

TH0 и TL0 - Старший и младший байты Таймера 0.
Адреса SFR = 8CH и 8A, соответственно.

TH1 и TL1 - Старший и младший байты Таймера 1.
Адреса SFR = 8DH и 8BH, соответственно.

РЕЖИМЫ РАБОТЫ ТАЙМЕРОВ/СЧЕТЧИКОВ 0 И 1

В следующих далее параграфах описываются режимы работы Таймеров/Счетчиков 0 и 1. Следует помнить, что режимы работы таймеров 0 и 1 идентичны, если противоположное не оговаривается особо.

Режим 0 (13-битный Таймер/Счетчик)

Режим 0 образует 8-битный таймер/счетчик с предварительным делителем (делитель на 32) на входе. На Рис.34 показана работа в режиме 0.

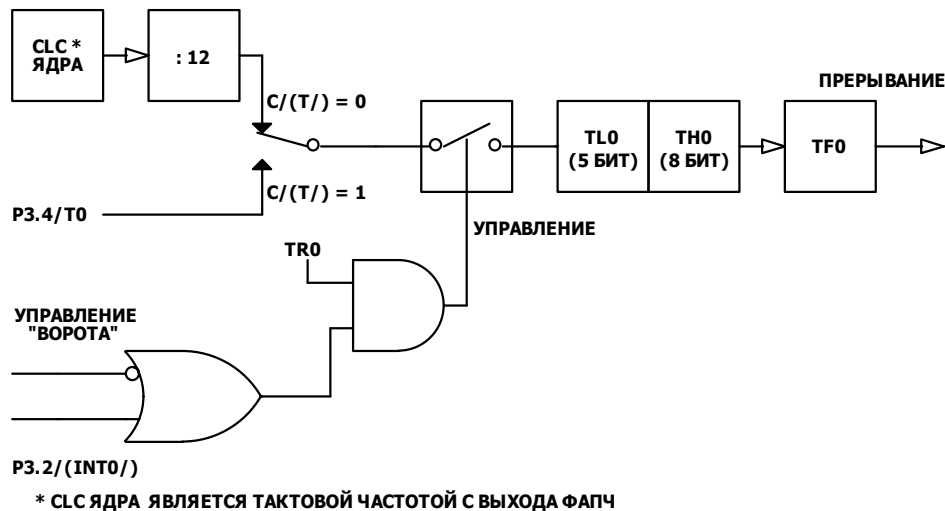


Рис.34. Таймер/Счетчик 0, Режим 0.

В этом режиме регистр таймера конфигурируется как 13-битный регистр. Как только счетчик переполняется (переходит из состояния «все 1» в состояние «все 0») устанавливается флаг переполнения таймера TFO, который может использоваться для организации запроса на прерывание. Вход счетчика разрешается, когда TR0=1 и либо Gate=0, либо INT0/=1. Установка Gate=0 позволяет управлять таймером с помощью внешнего входа INT0/, что позволяет измерять длительность импульса. TR0 является битом управления в регистре специальной функции TCON; а Gate – в регистре TMOD. 13-битный регистр состоит из восьми бит регистра TH0 и пяти младших бит регистра TLO. Старшие три бита регистра TLO не определены и должны игнорироваться. Установка флага управления работой (TR0) не очищает эти регистры.

Режим 1 (16-битный Таймер/Счетчик)

Режим 1 подобен Режиму 0, за исключением того, что регистр таймера при работе – 16-разрядный. На Рис.35 показана работа в режиме 1.

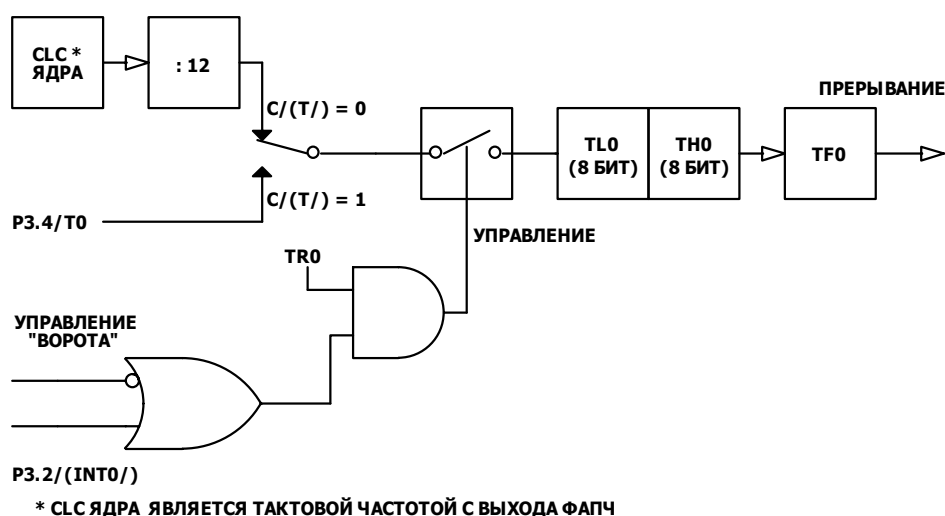


Рис.35. Таймер/Счетчик 0, Режим 1.

Режим 2 (8-битный Таймер/Счетчик с Автозагрузкой)

Режим 0 образует 8-битный Таймер/Счетчик (TL0) с автоматической перезагрузкой, как показано на Рис.36. Переполнение TL0 не только устанавливает TF0, но так же выполняет перезагрузку TL0 содержимым TH0, который загружается ранее программно. Процесс перезагрузки не изменяет содержимое TH0.

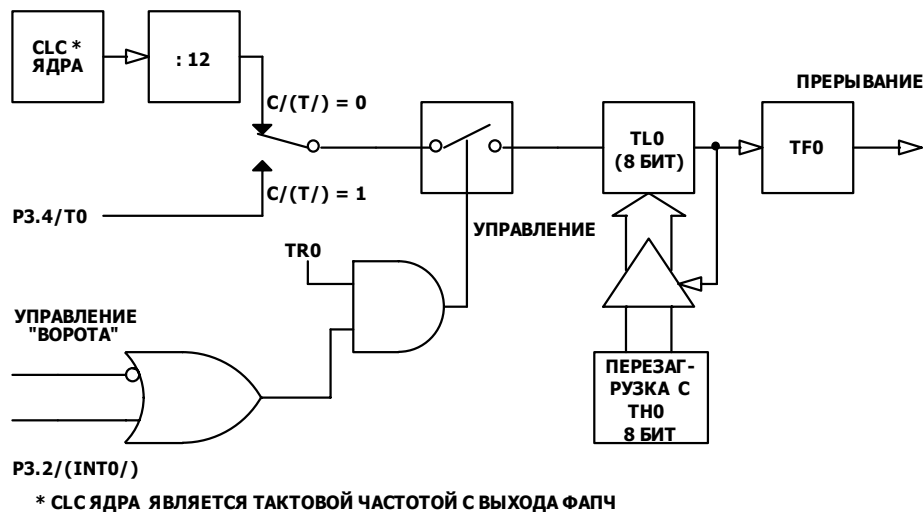


Рис.36. Таймер/Счетчик 0, Режим 2.

Режим 3 (Два 8-битных Таймера/Счетчика)

В Режиме 3 Таймер 0 и Таймер 1 ведут себя по-разному. Таймер 1 просто хранит свой постоянный отсчет (остановлен). Эффект подобен тому, как если бы TR=0. Таймер 0 в Режиме 3 организует TL0 и TH0 как два отдельных счетчика. Эта конфигурация показана на Рис.37. TL0 использует биты управления таймера 0: C/T, Gate, TR0, INT0/ и TF0. TH0 ограничен функцией таймера (счет машинных циклов) и наследует от таймера 1 биты TR1 и TF1. Таким образом, TH0 управляет прерыванием «Таймера 1». Режим 3 предназначается для приложений, требующих дополнительного 8-битного таймера или счетчика. Когда Таймер 0 находится в Режиме 3, Таймер 1 можно включить или выключить, исключая его или, напротив, вводя, в его собственный Режим 3, кроме того, его можно использовать как *Управляемый Генератор Обмена* последовательного интерфейса. Фактически его можно использовать в любом приложении, которое не требует для себя прерывания от Таймера 1.

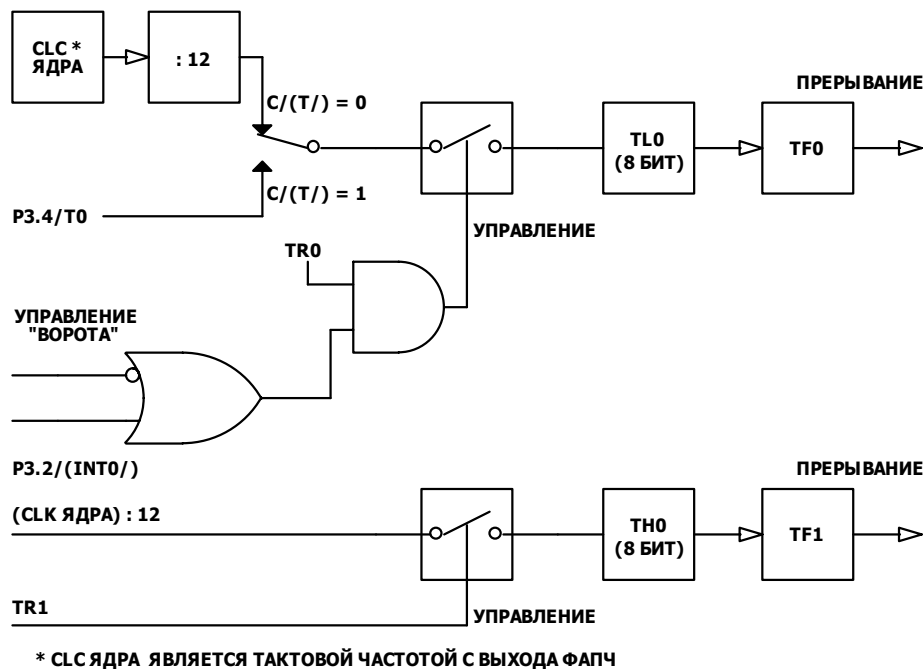


Рис.37. Таймер/Счетчик 0, Режим 3.

T2CON – регистр управления Таймером/Счетчиком 2

Адрес SFR	C8H
Значение по включению питания	00H
Битовая адресация	Да

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CNT2	CAP2
------------	-------------	-------------	-------------	--------------	------------	-------------	-------------

Таблица XXV. Назначение бит T2CON SFR

Биты	Имя	Описание
7	TF2	Флаг переполнения Таймера 2 <i>Устанавливается</i> аппаратно по переполнению Таймера 2. TF2 не будет устанавливаться, если либо RCLK, либо TCLK = 1. <i>Сбрасывается</i> программой пользователя.
6	EXF2	Внешний флаг Таймера 2. <i>Устанавливается</i> аппаратно, когда происходит либо захват, либо перезагрузка по отрицательному переходу на входе T2EX при EXEN2=1. <i>Сбрасывается</i> программой пользователя.
5	RCLK	Бит разрешения Синхросигнала на Приемник. <i>Устанавливается</i> пользователем для разрешения использования импульсов переполнения Таймера 2 в качестве синхроимпульсов приемника последовательного порта в Режимы 1 и 3. <i>Сбрасывается</i> пользователем для разрешения использования импульсов переполнения Таймера 1 в качестве синхроимпульсов приемника.
4	TCLK	Бит разрешения Синхросигнала на Передатчик. <i>Устанавливается</i> пользователем для разрешения использования импульсов переполнения Таймера 2 в качестве синхроимпульсов передатчика последовательного порта в Режимы 1 и 3. <i>Сбрасывается</i> пользователем для разрешения использования импульсов переполнения Таймера 1 в качестве синхроимпульсов передатчика.
3	EXEN2	Флаг разрешения внешней операции над Таймером 2. <i>Устанавливается</i> пользователем для разрешения захвата или перезагрузки по отрицательному переходу на входе T2EX, если Таймер 2 не используется как источник синхросигналов для последовательного порта. <i>Сбрасывается</i> пользователем с тем, чтобы игнорировать все сигналы на T2EX.
2	TR2	Старт/Стопный бит Таймера 2. <i>Устанавливается</i> пользователем для запуска Таймера 2. <i>Сбрасывается</i> пользователем для остановки Таймера 2.
1	CNT2	Бит выбора режима Таймера 2: Таймер/Счетчик. <i>Устанавливается</i> пользователем для установки режима счетчика (внешний сигнал подается через вход T2). <i>Сбрасывается</i> пользователем для установки режима таймера (входной синхросигнал подается с МП ядра).
0	CAP2	Бит выбора режима Таймера 2: Захват/Перезагрузка. <i>Устанавливается</i> пользователем для установки режима захвата по отрицательному переходу на входе T2EX при условии, если EXEN2=1. <i>Сбрасывается</i> пользователем для установки режима автозагрузки по переполнению Таймера 2 или по отрицательному переходу на входе T2EX при EXEN2=1. Когда либо RCLK=1, либо TCLK=1, этот бит игнорируется и таймер автоматически загружается по переполнению (Таймера 2).

Регистры Данных Таймера/Счетчика 2

Таймер/Счетчик 2 имеет две пары связанных с ним 8-битных регистров данных. Они используются как регистры данных таймера и как регистры захвата/перезагрузки.

TH2 и TL2 – Таймер 2, старший и младший байты данных.
Адреса SFR, соответственно, CDH и CCH.

RCAP2H и RCAP2L – Таймер 2, старший и младший байты Захвата/Перезагрузки.
Адреса SFR, соответственно, CVH и CAL.

РЕЖИМЫ РАБОТЫ ТАЙМЕРА/СЧЕТЧИКА 2

В следующих далее параграфах описываются режимы работы Таймера/Счетчика 2. Режимы работы выбираются с помощью бит регистра T2CON SFR, как показано в таблице XXVI.

Таблица XXVI. Назначение бит T2CON SFR

RCLK (или) TCLK	CAP2	TR2	Режим
0	0	1	16-бит с Автозагрузкой
0	1	1	16-бит с Захватом
1	X	1	Генератор последовательного порта
X	X	0	ВЫКЛЮЧЕН

Режим 16-Бит с Автозагрузкой

В режиме «Автозагрузки» существует два варианта работы, выбираемые битом EXEN2 в T2CON. Если EXEN2=0, то Таймер 2 при переполнении не только устанавливает TF2, но, так же, загружает свои регистры 16-битными числами из регистров RCAP2L и RCAP2H, которые загружаются ранее программой. Если EXEN2=1, то Таймер 2 выполняет не только все перечисленные выше функции, но и дополнительно, в случае появления отрицательного перехода «1 - 0» на внешнем входе T2EX, произойдет 16-битная перезагрузка и будет установлен флаг EXF2. Ниже на Рис.38 приводится режим автозагрузки.

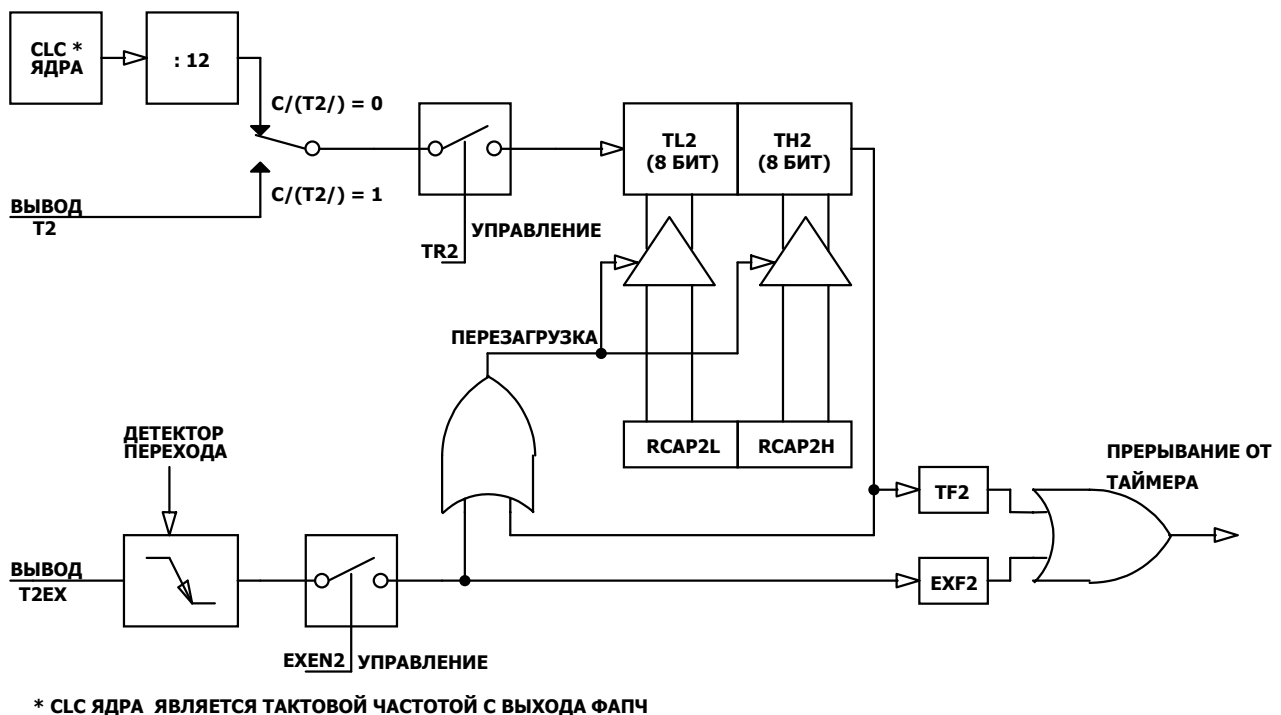


Рис.38. Таймер/Счетчик 2, Режим 16-Битной Загрузки.

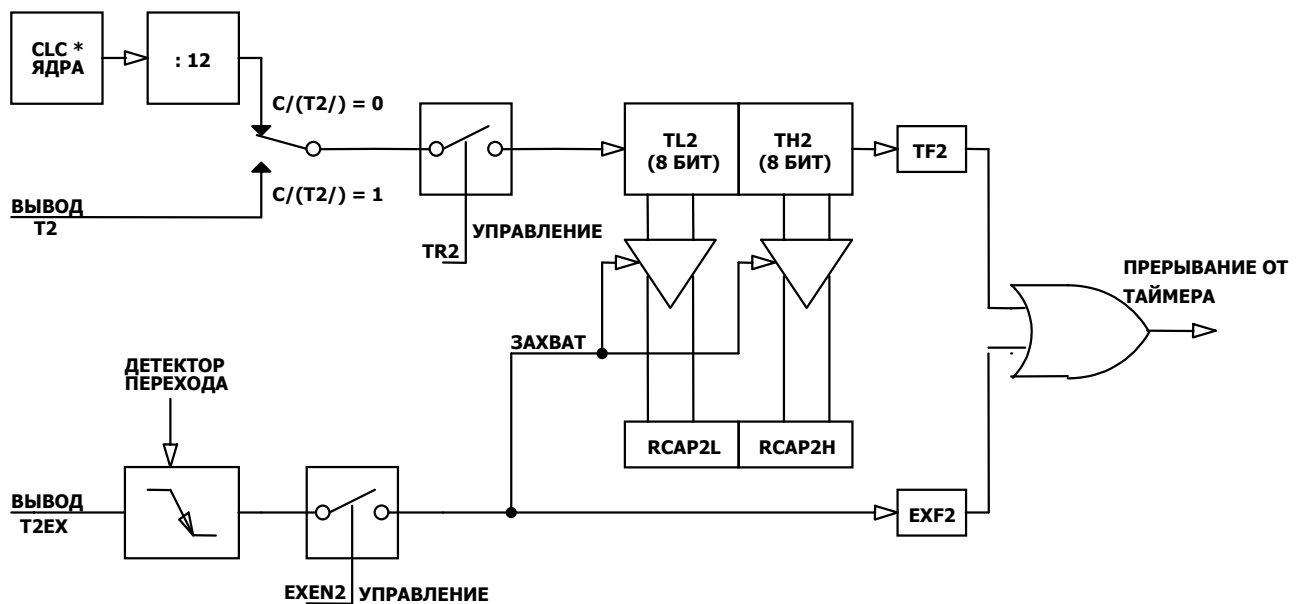
Режим 16-Битного Захвата

В режиме «Захвата» существует два варианта работы, выбираемые снова битом EXEN2 в T2CON. Если EXEN2=0, то Таймер 2 работает как 16-битный таймер или счетчик, при переполнении которого устанавливается флаг переполнения TF2, который, в свою очередь, можно использовать для генерации прерывания. Если EXEN2=1, то Таймер 2 выполняет не только все перечисленные выше функции, но и дополнительно, в случае появления отрицательного перехода «1 - 0» на внешнем входе T2EX, произойдет захват содержимого регистров Таймера 2 TL2 и TH2 в регистры RCAP2L и RCAP2H, соответственно. Кроме того, переход на T2EX вызовет установку флага EXF2 в T2CON, а далее EXF2, подобно TF2, может сгенерировать прерывание. На Рис.39 приводится Режим Захвата.

Режим генератора последовательного порта выбирается с помощью бита RCLK=1 и/или TCLK=1.

В любом случае, если Таймер 2 используется для генерации синхриимпульсов последовательного порта, флаг прерывания TF2 не устанавливается. Следовательно, прерывания от Таймера 2 возникать не будут, и нет необходимости их запрещать. Однако, все-таки, в этом режиме сам флаг EXF2 может вызвать прерывания и его можно использовать в качестве третьего источника внешних прерываний.

Генератор последовательного порта будет описываться далее как часть последовательного порта UART.



* CLC ядра является тактовой частотой с выхода ФАПЧ

Рис.39. Таймер/Счетчик 2, Режим 16-Битного Захвата.

ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС UART.

Последовательный порт является полнодуплексным, означающее, что он может одновременно передавать и читать данные. Он также имеет приемный буфер, означающее, что он может начинать прием второго байта до того, как ранее принятый байт считывается из регистра приемника. Однако если первый байт не считан до завершения приема второго байта, первый байт будет утерян. Физический интерфейс к сети последовательного обмена данными осуществляется через выходы RXD (P3.0) и TXD (P3.1). В тоже время, интерфейс к UART осуществляется через следующие регистры:

SBUF

Регистры последовательного приема и передачи доступны через регистр специальной функции SBUF SFR (Адрес SFR=99H). Запись в SBUF загружает регистр передатчика, а чтение SBUF осуществляет доступ к физически другому регистру - регистру приемника.

SCON

Адрес SFR

Значение по включению питания

Битовая адресация

Регистр управления последовательным портом UART

98H

00H

Да

SM0	SM1	SM2	REN	TB8	RB8	TI	RI
------------	------------	------------	------------	------------	------------	-----------	-----------

Таблица XXVII. Назначение бит SCON SFR

Биты	Имя	Описание															
7 6	SM0 SM1	Биты выбора режима последовательного порта UART. Реализуются следующие режимы работы:															
		<table border="1"> <tr> <td>SM0</td> <td>SM1</td> <td>Режим работы</td> </tr> <tr> <td>0</td> <td>0</td> <td>Режим 0: Сдвиговый регистр, фиксированная скорость обмена (Частота ядра/2)</td> </tr> <tr> <td>0</td> <td>1</td> <td>Режим 1: 8-битный UART, переменная скорость обмена</td> </tr> <tr> <td>1</td> <td>0</td> <td>Режим 2: 9-битный UART, фиксированная скорость обмена (Частота ядра/64) или (Частота ядра/32)</td> </tr> <tr> <td>1</td> <td>1</td> <td>Режим 3: 9-битный UART, переменная скорость обмена</td> </tr> </table>	SM0	SM1	Режим работы	0	0	Режим 0: Сдвиговый регистр, фиксированная скорость обмена (Частота ядра/2)	0	1	Режим 1: 8-битный UART, переменная скорость обмена	1	0	Режим 2: 9-битный UART, фиксированная скорость обмена (Частота ядра/64) или (Частота ядра/32)	1	1	Режим 3: 9-битный UART, переменная скорость обмена
SM0	SM1	Режим работы															
0	0	Режим 0: Сдвиговый регистр, фиксированная скорость обмена (Частота ядра/2)															
0	1	Режим 1: 8-битный UART, переменная скорость обмена															
1	0	Режим 2: 9-битный UART, фиксированная скорость обмена (Частота ядра/64) или (Частота ядра/32)															
1	1	Режим 3: 9-битный UART, переменная скорость обмена															
5	SM2	Бит разрешения мультипроцессорной связи. Разрешает многопроцессорную связь в Режимы 2 и 3. В Режиме 0 SM2 должен быть сброшен. В Режиме 1, если SM2 установлен флаг RI не будет активироваться, если не получен корректно стоп-бит. Если SM2 сброшен, флаг RI будет установлен как только будет получен байт данных. В Режимы 2 или 3 при установленном SM2, RI не будет активироваться, если принятый девятый бит данных в RB8 равен «0». Если SM2 сброшен, флаг RI будет установлен как только будет получен байт данных.															
4	REN	Бит Разрешения Приемника Последовательного Порта. <i>Устанавливается</i> программой пользователя для разрешения приема по последовательному порту. <i>Сбрасывается</i> программой пользователя для запрещения приема по последовательному порту.															
3	TB8	(9-Бит) для передачи по Последовательному Порту. Данные, загруженные в TB8 будут девятым битом данных при передаче в Режимы 2 и 3.															
2	RB8	9-Бит при приеме по Последовательному Порту. Девятый бит данных принятый в Режимы 2 и 3 фиксируется в RB8. В Режиме 1 в RB8 фиксируется стоп-бит.															
1	TI	Флаг Прерывания от Передатчика Последовательного Порта. <i>Устанавливается</i> аппаратно по концу восьмого бита в Режиме 1 и по началу стоп-бит в Режимы 1, 2 и 3. TI должен сбрасываться программой пользователя.															
0	RI	Флаг Прерывания от Приемника Последовательного Порта. <i>Устанавливается</i> аппаратно по концу восьмого бита в Режиме 1 и в середине стоп-бита в Режимы 1, 2 и 3. RI должен сбрасываться программой пользователя.															

Режим 0: Режим 8-Битного Сдвигового Регистра

Режим 0 выбирают путем сброса (очистки) как бита SM0, так и бита SM1 в регистре SCON SFR. Последовательные данные входят и выводятся через вывод RXD. Через TXD выводятся синхроимпульсы сдвига. Передается или принимается восемь бит данных. Передача инициируется любой командой записи в SBUF. Данные «выдвигаются» на линию RXD. Передается восемь бит данных, причем младший бит (МЗР) передается первым, как показано на Рис.40.

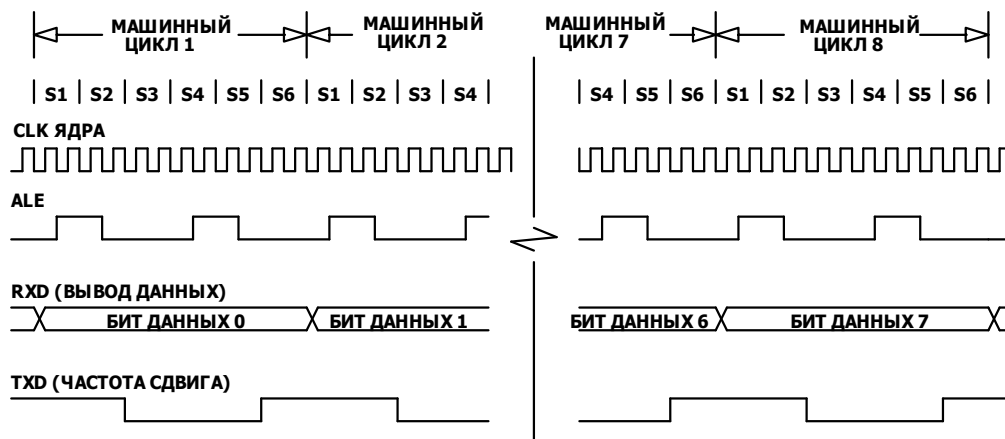


Рис.40. Передача по Последовательному Порту UART, Режим 0.

Прием начинается, когда бит разрешения приемника (REN) становится «1» и флаг прерывания сброшен (RI=0). Когда RI сбрасывается, данные начинают выдвигаться на линию RXD, а синхроимпульсы снимаются с линии TXD.

Режим 1: 8-Битный UART, Переменная Скорость Обмена

Режим 1 выбирают путем сброса SM0 и установки SM1. Каждому байту данных (начиная с МЗР) предшествует стартовый бит (0), каждая передача байта завершается стоповым битом (1). Скорость обмена определяется скоростью появления переполнения с Таймера 1 или Таймера 2 или комбинацией их обоих (один на передачу, один на прием).

Передача инициируется записью данных в регистр SBUF. При «загрузке SBUF» тем же сигналом в восьмую позицию сдвигового регистра передатчика загружается «1» (стоповый бит). Данные выводятся последовательно бит за битом до тех пор, пока на TXD не появится стоповый бит, при этом, автоматически установится флаг прерывания (TI), как показано на Рис.41.



Рис.41. Передача по Последовательному Порту UART, Режим 1.

Прием инициируется по определению наличия перехода «1 - 0» на входе RXD. В предположении, что прием стартового бита произошел успешно, продолжится прием следующих бит. Стартовый бит пропускается, а восемь бит данных вводятся в сдвиговый регистр последовательного порта. Когда все восемь бит введены, происходят следующие события:

- Восемь бит из сдвигового регистра приемника пересылаются в SBUF
- Восьмой (стоповый) бит передается в RB8 в SCON
- Устанавливается флаг прерывания Приемника (RI)

(события выполняются) в том, и только в том случае, если в момент появления заключительного импульса сдвига:

- RI=0, и
- либо SM2=0, либо SM2=1 и принятый стоп-бит=1.

Если любое из этих условий не удовлетворяется, принятый кадр безвозвратно теряется и флаг RI не устанавливается.

Режим 2: 9-Битный UART, с Фиксированной Скоростью Обмена

Режим 2 выбирают путем установки SM0 и сброса SM1. В этом режиме UART работает как 9-битный с фиксированной скоростью обмена. Скорость обмена фиксирована по умолчанию на уровне Частота_Ядра/64, хотя установкой бита SMOD в PCON частоту можно удвоить (Частота_Ядра/32). Передаются и принимаются одиннадцать бит: старт-бит (0), восемь бит данных, девятый (программируемый) бит и стоп-бит (1). Девятый бит наиболее часто используется как бит паритета, хотя его можно использовать как угодно, включая, если требуется, как девятый бит данных.

Для передачи следует записать восемь бит данных в SBUF. Девятый бит данных следует записать в TB8 SCON. Когда начинается передача, восемь бит данных перегружаются из регистра SBUF в сдвиговый регистр передатчика (МЗР передается первым). Содержимое TB8 загружается в восьмую позицию сдвигового регистра (начиная с нуля). Передача запустится со следующего подходящего синхроимпульса обмена. Как только стоп-бит появится на выходе TXD, будет установлен флаг TI.

Алгоритм приема в Режиме 2 такой же как и в Режиме 1. Входом для RXD являются 8-битные байты (МЗР - первый), загружаемые в сдвиговый регистр приемника. По прошествии полной 8-битной загрузки, выполняются следующие события:

Восемь бит из сдвигового регистра приемника пересылаются в SBUF
Девятый бит данных пересылается в RB8 Устанавливается флаг прерывания Приемника (RI)

(события выполняются) в том, и только в том случае, если в момент появления заключительного импульса сдвига:

RI=0, и
либо SM2=0, либо SM2=1 и принятый стоп-бит=1.

Если любое из этих условий не удовлетворяется, принятый кадр безвозвратно теряется и флаг RI не устанавливается.

Режим 3: 9-Битный UART, с Переменной Скоростью Обмена

Режим 3 выбирают путем установки обоих бит SM0 и SM1. В этом режиме UART 8051 работает как 9-битный последовательный порт с переменной скоростью обмена, которая определяется либо Таймером 1, либо Таймером 2. Работа 9-битного UART идентична Режиму 2, а изменение скорости обмена идентично Режиму 1.

Во всех четырех режимах передача инициируется командой, использующей SBUF как регистр-назначение. Прием в Режиме 0 инициируется условием: RI=0 и REN=1. В других режимах прием инициируется входящим стартовым битом, если REN=1.

Генерация Скорости Обмена Последовательного Порты UART

Генерация скорости обмена в Режиме 0

Скорость обмена в Режиме 0 постоянна (фиксирована):

Скорость обмена в Режиме 0=(Частота Ядра¹/12)

ПРИМЕЧАНИЕ:

¹ Под Частотой Ядра в данном описании понимают тактовую частоту, выбранную с помощью бит CD0-2 в PLLCON SFR.

Генерация скорости обмена в Режиме 2

Скорость обмена в Режиме 2 зависит от значения бита SMOD в PCON SFR. Если SMOD=0, то скорость обмена составляет 1/64 от частоты ядра. Если SMOD=1, то – 1/32 частоты:

Скорость обмена в Режиме 2=(2^{SMOD}/64) x (Частота Ядра)

Генерация скорости обмена в Режимх 1 и 3

Скорость обмена в Режимх 1 и 3 определяется скоростью появления переполнения с Таймера 1 или Таймера 2 или комбинацией их обоих (один на передачу, один на прием).

Скорости Обмена, Генерируемые Таймером 1

Когда Таймер 1 используется как генератор скорости обмена, то скорости обмена в Режимх 1 и 3 определяются частотой переполнения Таймера 1 и значением бита SMOD:

$$\text{Скорость обмена в Режимх 1 и 3} = (2^{\text{SMOD}}/32) \times (\text{Частота переполнения Таймера 1})$$

В данном приложении прерывание от Таймера 1 должно быть запрещено. В любом из трех рабочих режимов сам таймер можно устанавливать либо в режим таймера, либо счетчика. Для наиболее общих приложений его устанавливают в режим таймера с автозагрузкой (старший ниббл TMOD=0100, двоичных). В этом случае, скорость обмена определяется формулой:

$$\text{Скорость обмена в Режимх 1 и 3} = (2^{\text{SMOD}}/32) \times (\text{Частота Ядра}/(12 \times [256-\text{TH}]))$$

Весьма низкие скорости обмена так же можно получить от Таймера 1, оставив разрешенным прерывание от него, и устанавливая его в режим 16-битного таймера (старший ниббл TMOD=0100, двоичных), и используя прерывание от Таймера 1 для выполнения 16-битной программной перезагрузки. Ниже, в таблице XXVIII, показаны наиболее употребляемые скорости обмена и способ их расчета для частоты ядра 12.58МГц и 1.5728МГц. Вообще говоря, 5% ошибка допустима для случая асинхронного (старт-стопного) обмена.

Таблица XXVIII. Наиболее употребляемые скорости обмена с использованием Таймера 1

Идеальная скорость	Частота ядра	Значение SMOD	Код Перезагрузки	Действительная скорость	Ошибка %
9600	12.58	1	-7(F9H)	9362	2.5
2400	12.58	1	-27(E5H)	2427	1.1
1200	12.58	1	-55(C9H)	1192	0.7
1200	1.57	1	-7(F9H)	1170	2.5

Скорости Обмена, Генерируемые Таймером 2

Скорости обмена можно так же генерировать Таймером 2. Использование Таймера 2 похоже на использование Таймера 1 в том, что он должен 16 раз переполниться прежде, чем произойдет передача/прием бита. Вследствие того, что Таймер 2 имеет режим 16-битной автозагрузки, при использовании Таймера 2 получают более широкий диапазон скоростей обмена.

$$\text{Скорость обмена в Режимх 1 и 3} = (1/16) \times (\text{Частота переполнения Таймера 2})$$

По этому необходимо учитывать, что когда в качестве генератора скорости обмена используется Таймер 2, таймер инкрементируется через каждые два синхроимпульса, а не один раз за машинный цикл, как было ранее. Следовательно, он инкрементируется в шесть раз быстрее Таймера 1, и поэтому доступны в шесть раз большие скорости обмена. А поскольку Таймер 2 обладает 16-битной автозагрузкой, доступны еще и очень низкие скорости обмена. Выбор Таймера 2 в качестве генератора скорости обмена осуществляется установкой бит TCLK и/или RCLK в T2CON. Скорости обмена для передатчика и приемника одновременно могут быть различными. Установка бит RCLK и/или TCLK вводят Таймер 2 в режим генератора скорости обмена, как показано на Рис.42.

$$\text{Скорость обмена в Режимх 1 и 3} = (\text{Частота Ядра})/(32 \times [65536-(\text{RCAP2H}, \text{RCAP2L})])$$

Некоторые наиболее употребляемые скорости обмена и то, как они рассчитываются для тактовых частот 1.5728МГц и 12.5829МГц приводятся в таблице XXIX.

Идеальная скорость	Частота ядра	Величина RCAP2H	Величина RCAP2L	Действительная скорость	Ошибка %
19200	12.58	-1(FFH)	-20(ECH)	19661	2.4
9600	12.58	-1(FFH)	-41(D7H)	9591	0.1
2400	12.58	-1(FFH)	-164(5CH)	2398	0.1
1200	12.58	-2(FFH)	-72(B8H)	1199	0.1
9600	1.57	-1(FFH)	-5(FBH)	9830	2.4
2400	1.57	-1(FFH)	-20(ECH)	2458	2.4
1200	1.57	-1(FFH)	-41(D7H)	1199	0.1

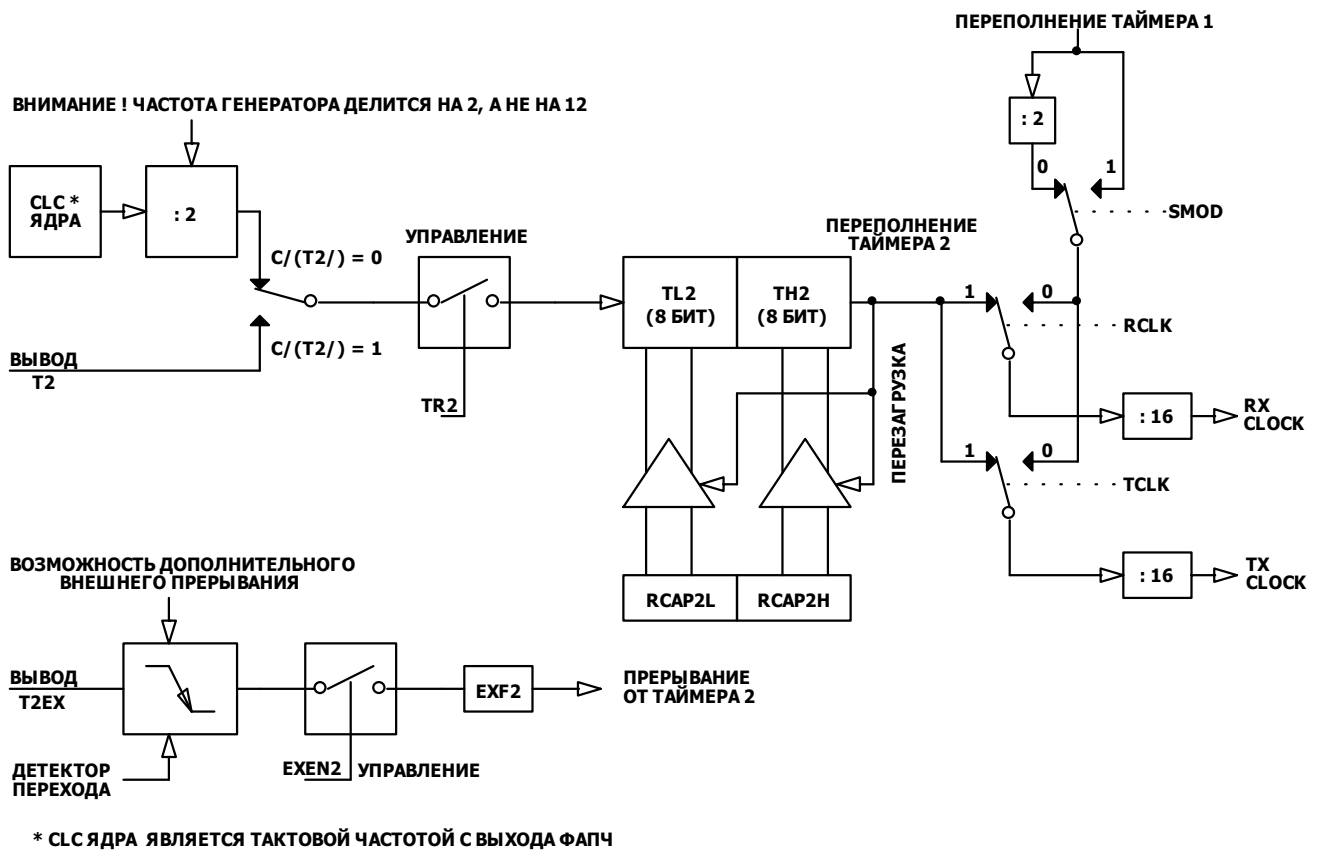


Рис.42. Таймер 2, Генератор Скорости Обмена UART.

СИСТЕМА ПРЕРЫВАНИЙ

ADuC824 обеспечивает обслуживание двенадцати источников прерываний двух уровней. Управление и задание конфигурации системы прерываний осуществляется через три регистра прерывания из области SFR:

IE: Регистр разрешения прерываний
 IP: Регистр приоритета прерываний
 IEIP2: Регистр приоритета и вторичных прерываний

IE – регистр Разрешения Прерываний:

Адрес SFR A8H
 Значение по включению питания 00H
 Битовая адресация Да

EA	EADC	ET2	ES	ET1	EX1	ET0	EX0
-----------	-------------	------------	-----------	------------	------------	------------	------------

Таблица XXX. Назначение бит IE SFR

Биты	Имя	Описание
7	EA	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» все источники прерываний
6	EADC	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» прерывание от АЦП
5	ET2	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» прерывание от таймера 2
4	ES	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» прерывание от последовательного порта обмена (UART)
3	ET1	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» прерывание от таймера 1
2	EX1	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» внешнее прерывание «1»
1	ET0	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» прерывание от таймера 0
0	EX0	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» внешнее прерывание «0»

IP – регистр Приоритета Прерываний

Адрес SFR B8H
 Значение по включению питания 00H
 Битовая адресация Да

-	PADC	PT2	PS	PT1	PX1	PT0	PX0
---	-------------	------------	-----------	------------	------------	------------	------------

Таблица XXXI. Назначение бит IP SFR

Биты	Имя	Описание
7	-	Зарезервирован для дальнейшего использования
6	PADC	Записывается пользователем для выбора приоритета прерывания от АЦП («1»= высокий; «0»= низкий)
5	PT2	Записывается пользователем для выбора приоритета прерывания от Таймера 2 («1»= высокий; «0»= низкий)
4	PS	Записывается пользователем для выбора приоритета прерывания Порты Последовательного Обмена UART («1»= высокий; «0»= низкий)
3	PT1	Записывается пользователем для выбора приоритета прерывания от Таймера 1 («1»= высокий; «0»= низкий)
2	PX1	Записывается пользователем для выбора приоритета Внешнего Прерывания 1 («1»= высокий; «0»= низкий)
1	PT0	Записывается пользователем для выбора приоритета прерывания от Таймера 0 («1»= высокий; «0»= низкий)
0	PX0	Записывается пользователем для выбора приоритета Внешнего Прерывания 0 («1»= высокий; «0»= низкий)

IEIP2 – регистр Приоритета и Разрешения Вторичного Прерывания

Адрес SFR	A9H
Значение по включению питания	A0H
Битовая адресация	Нет

-	PT1	PPSM	PSI	-	ET1	EPSM	ESI
---	------------	-------------	------------	---	------------	-------------	------------

Таблица XXXII. Назначение бит IEIP2 SFR

Биты	Имя	Описание
7	-	Зарезервирован для дальнейшего использования.
6	PTI	Записывается пользователем для выбора приоритета прерывания от счетчика временного интервала (TIC) («1»= высокий; «0»= низкий)
5	PPSM	Записывается пользователем для выбора приоритета прерывания от Монитора Источника Питания («1»= высокий; «0»= низкий)
4	PSI	Записывается пользователем для выбора приоритета прерывания от Последовательного Порты (SPI/I2C) («1»= высокий; «0»= низкий)
3	-	Зарезервирован для дальнейшего использования.
2	ETI	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» прерывание от счетчика временного интервала (TIC)
1	EPSM	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» прерывание от Монитора Источника Питания
0	ESI	Записывается пользователем для того, чтобы разрешить «1» или запретить «0» прерывание от Последовательного Порты SPI/I2C

Приоритет Прерываний

Регистры разрешения прерывания устанавливаются пользователем для того, чтобы разрешить прерывание от индивидуальных источников. В то же время, регистры приоритета прерываний позволяют пользователю выбрать один из двух уровней приоритета для каждого прерывания. Прерывание высокого уровня может прервать сервисную программу низкого уровня приоритета, и, если два прерывания с разным приоритетом происходят в одно и то же время, то прерывание более высокого уровня будет обслуживаться первым. Прерывание не может быть прервано другим прерыванием того же самого уровня приоритета. Если два прерывания одного и того же уровня происходят одновременно, то для принятия решения производится опрос в последовательности показанной ниже в таблице XXXIII:

Таблица XXXIII. Распределение приоритетов внутри прерывания одного уровня.

Источник	Приоритет	Описание
IPSM	1 (наивысший)	Прерывание от Монитора Источника Питания
WDS	2	Прерывание от Сторожевого Таймера
IE0	3	Внешнее Прерывание 0
RDY0/RDY1	4	Прерывание от АЦП
TF0	5	Прерывание от Таймера/Счетчика 0
IE1	6	Внешнее Прерывание 1
TF1	7	Прерывание от Таймера/Счетчика 1
II2C+ISPI	8	Прерывание от I2C/SPI
RI+TI	9	Прерывание от Последовательного Связного Интерфейса UART
TF2+EXF2	10	Прерывание от Таймера/Счетчика 2
TII	11 (наименьший)	Прерывание от Счетчика Временного Интервала

Вектора Прерываний.

Когда происходит прерывание, значение программного счетчика заносится в стек, а соответствующий адрес вектора прерывания загружается в программный счетчик. Адреса векторов прерываний показаны ниже в таблице XXXIV.

Таблица XXXIV. Адреса векторов прерывания.

Источник	Адрес вектора
IE0	0003H
TF0	000BH
IE1	0013H
TF1	001BH
RI+TI	0023H
TF2+EXF2	002BH
RDY0/RDY1 (ADC)	0033H
IIC+ISPI	003BH
PSMI	0043H
TII	0053H
WDS (WDIR=1) *	005BH

* Можно установить так, чтобы при возникновении тайм-аута сторожевой таймер вырабатывал прерывание вместо сброса (RESET), этот прием используется для ведения журнала ошибок или для проверки внутреннего состояния устройства как, например, программного счетчика, стека и т.д. для выяснения причины возникновения тайм-аута сторожевого таймера. Прерывание от сторожевого таймера несколько отличается от обычных прерываний тем, что уровень его приоритета всегда установлен в «1» и его невозможно запретить с помощью бита глобального запрета прерываний (EA в регистре IE). Это сделано для гарантии того, что прерывание будет обслужено, если имеет место тайм-аут сторожевого таймера. Заметим, что сторожевой таймер даст прерывание только тогда, когда численная величина его тайм-аута больше нуля.

РАССМОТРЕНИЕ АППАРАТУРЫ ADuC824

В этом разделе кратко обрисованы некоторые ключевые особенности аппаратуры устройства, которые следует иметь в виду при включении ADuC824 в состав средств любой системы.

Тактовый Генератор

Как описывалось ранее, тактовая частота для ADuC824 получается с помощью встроенной системы ФАПЧ, умножающей частоту 32768КГц в 384 раза. Данная частота создается внутренним генератором. Для запуска внутреннего генератора необходимо установить кварцевый резонатор 32768КГц между выводами XTAL1 и XTAL2 (32 и 33), как показано на Рис.43. Как показано на схеме, для случая типового подключения кристалла, уже имеются два внутренних конденсатора по 12пФ. Они внутри подключены к выводам XTAL1 и XTAL2 и общая емкость на этих контактах указана в соответствующем разделе спецификации настоящего ТО. Величина полной емкостной нагрузки должна быть такой, которая рекомендуется поставщиками соответствующих резонаторов. Вследствие наличия внутренних конденсаторов, во многих случаях дополнительных внешних конденсаторов не требуется.

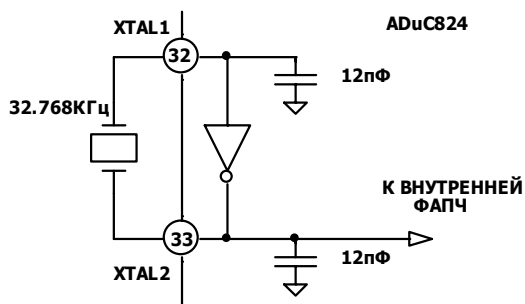


Рис.43. Подключение Внешнего Кристаллического Резонатора.

Интерфейс к Внешней Памяти

В дополнение к внутренней памяти программ и данных, ADuC824 может осуществлять доступ к внешней памяти программ объемом до 64КБ (ПЗУ/ППЗУ/и т.д.) и к внешней памяти данных (СОЗУ) объемом до 16МБ. Для определения из какого пространства кода пойдет выполнение инструкций (из внутренней или внешней памяти программ), подключите вывод EA/ к напряжению высокого или низкого уровня, соответственно. Когда на EA/ подан высокий уровень (подтянут к V_{DD}) выполнение программы пользователя начнется с адреса 0 внутреннего пространства 8КБ Flash/EE памяти программ. Когда на EA/ подан низкий уровень (подключен к земле) выполнение программы пользователя начнется с адреса 0 внешнего пространства памяти. В любом случае, адреса выше 1FFFH (8К) располагаются в пространстве внешней памяти. Отметим, что вторая крайне важная функция контакта EA/ описана в разделе «Режим Эмуляции через Один Контакт» настоящего ТО.

Внешняя память программ (если таковая имеется) должна подключаться так, как показано на Рис.44. Отметим, что 16 линий ввода/вывода (Порты 0 и 2) предназначены для выполнения функции магистрали при обращении к внешней памяти программ. Порт 0 (P0) служит мультиплексной магистралью адреса/данных. В качестве адреса он выставляет младший байт с программного счетчика (PCL), а затем переходит в «плавающее состояние», ожидая появления байта кода (программы) со стороны памяти программ. В течение времени, пока младший байт программного счетчика корректен на P0, строб ALE (Address Latch Enable) заносит этот байт в регистр-защелку адреса. Тем временем, Порт 2 (P2) выставляет старший байт программного счетчика (PCH), далее сигнал PSEN/ стробирует ЭППЗУ и байт кода читается в ADuC824.

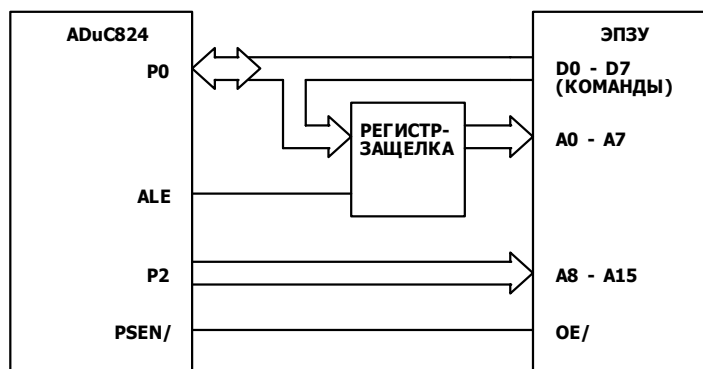


Рис.44. Интерфейс к Внешней Памяти Программ.

Отметим, что адреса памяти программ всегда имеют длину 16 бит даже в тех случаях, когда размер используемой памяти программ меньше 64Кбайт. Выполнение программы во внешней памяти приносит в жертву два 8-битных порта (P0 и P1) для выполнения обращения к памяти программ. При работе с внешней памятью программ Порты 0 и 2 можно, в то же время, использовать для операций чтения/записи во внешней памяти данных, но их нельзя использовать в качестве портов В/В общего назначения.

Хотя доступ к внешней памяти программ и памяти данных осуществляется через одни и те же выводы, оба этих типа памяти совершенно независимы друг от друга с точки зрения программы. Например, устройство может выполнять операцию чтения/записи с внешней памятью данных, выполняя в то же время код из внешней памяти программ.

На Рис.45 показана конфигурация аппаратуры для обращения к внешней ОЗУ с объемом до 64Кбайт. Данный интерфейс является стандартным для любого МПУ, совместимого с 8051.

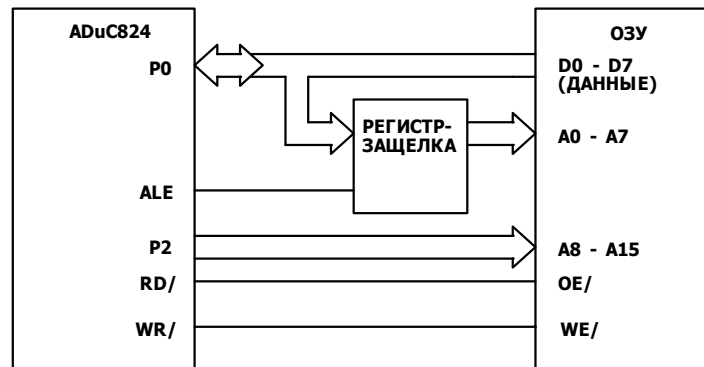


Рис.45. Интерфейс к Внешней Памяти Данных (Адресное Пространство 64КБ).

Если необходимо получить доступ к ОЗУ большему чем 64Кбайт, то для этого ADuC824 обладает уникальной возможностью адресации внешнего СОЗУ объемом до 16Мбайт, путем простого добавления дополнительного регистра-защелки, как это показано на Рис.46.

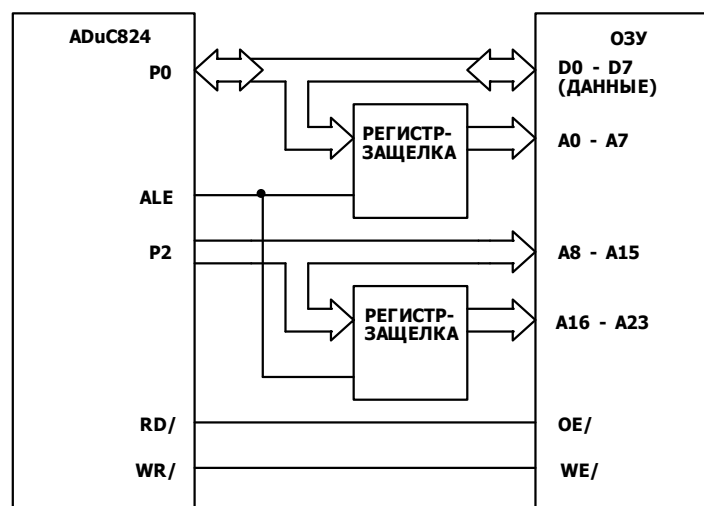


Рис.46. Интерфейс к Внешней Памяти Данных (Адресное Пространство 16МБ).

В любом из двух приложений Порт 0 (P0) работает как мультиплексная магистраль адреса/данных. В качестве адреса он устанавливает младший байт указателя данных (DPL), который фиксируется импульсом ALE до того, как данные будут помещены на магистраль устройством ADuC824 (при выполнении записи) или СОЗУ (при выполнении чтения). Порт 2 дает байт страницы указателя данных (DPP), который будет зафиксирован сигналом ALE, после чего через порт последует старший байт указателя данных (DPH). Если магистраль P2 не содержит регистра-защелки, СОЗУ игнорирует DPP и производится стандартный для 8051 доступ к внешней памяти данных, размером 64КБ.

Подробные временные диаграммы для обращения с циклами записи и чтения к внешней памяти программ и данных можно найти в разделе временных спецификаций настоящего ТО.

Операция Сброса по Включению Питания

Для управления входом RESET ADuC824 следует использовать внешнюю схему управления по выработке сброса при включении питания (POR – power on reset). Схема должна удерживать контакт RESET в высоком состоянии до тех пор, пока источник питания (DV_{DD}) имеет напряжение ниже 2.5В. Более того, V_{DD} должно оставаться выше 2.5В в течение, по крайней мере 10мсек, до снятия сигнала RESET, в течение этого времени напряжение источника питания должно установиться на уровне не менее 1.2В. Внешняя схема POR должна оставаться работоспособной до напряжения питания 1.2В или менее. Временная диаграмма на Рис.47 иллюстрирует работу схемы при трех различных условиях: включение питания (power-up), снижение питания (brownout) и снятие питания (power-down). Отметим, когда RESET установлен (в высоком состоянии) он отслеживает напряжение на DV_{DD} .

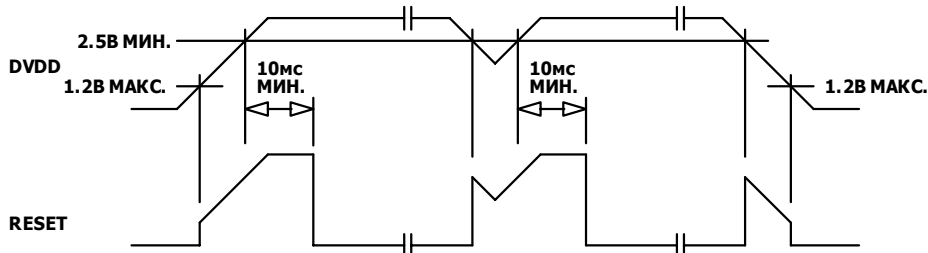


Рис.47. Временная Диаграмма Внешнего Сигнала POR.

Лучший способ использовать внешнюю схему сброса (POR), которая бы удовлетворяла указанным выше требованиям, состоит в применении специально разработанных для этой цели ИС POR, таких как ADM809/ADM810 в корпусе SOT-23 от Analog Devices. Рекомендуемые схемы подключения как для ADM810 – с высоким активным уровнем, так и для ADM809 – с низким активным уровнем показаны на Рис.48 и Рис.49.

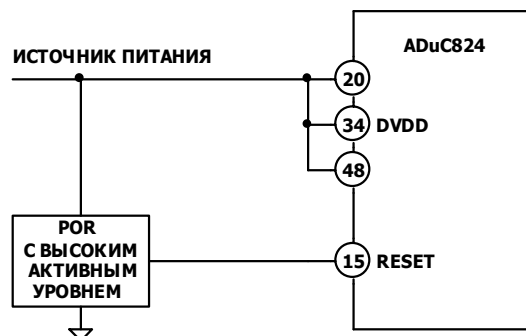


Рис.48. Внешняя Схема POR с Высоким Активным Уровнем.

Некоторые ИС с низким активным уровнем, как, например, ADM809, можно использовать с кнопкой дополнительного ручного сброса, как показано штриховым соединением на Рис.49.

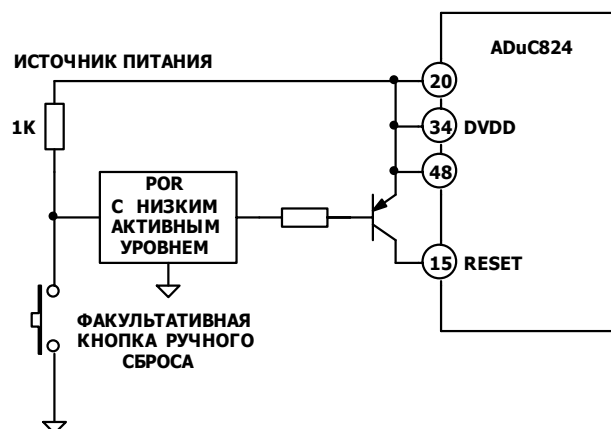


Рис.49. Внешняя Схема POR с Низким Активным Уровнем.

Источники Питания

Рабочий диапазон напряжения питания ADuC824 лежит в диапазоне от 2.7В до 5.25В. Несмотря на то, специфицированный настоящим ТО диапазон составляет от 2.7В до 3.6В и $5В \pm 5\%$, ИС будет одинаково хорошо работать с любым напряжением питания, лежащим в пределах от 2.7В до 5.25В.

Раздельные входы аналогового и цифрового питания (AV_{DD} и DV_{DD}) позволяют поддерживать AV_{DD} относительно свободным от шумящих цифровых сигналов, часто присутствующих на линии системного питания DVDD. В таком режиме устройство может работать так же с «расщепленными» источниками, т.е. использовать источники с разным уровнем питающего напряжения. Например, это означает, что, если потребуются, можно разработать систему так, что уровень напряжения на DV_{DD} будет 3В в то время, как на AV_{DD} может составлять 5В или наоборот. Типовая конфигурация с расщепленными источниками показана на Рис.50.

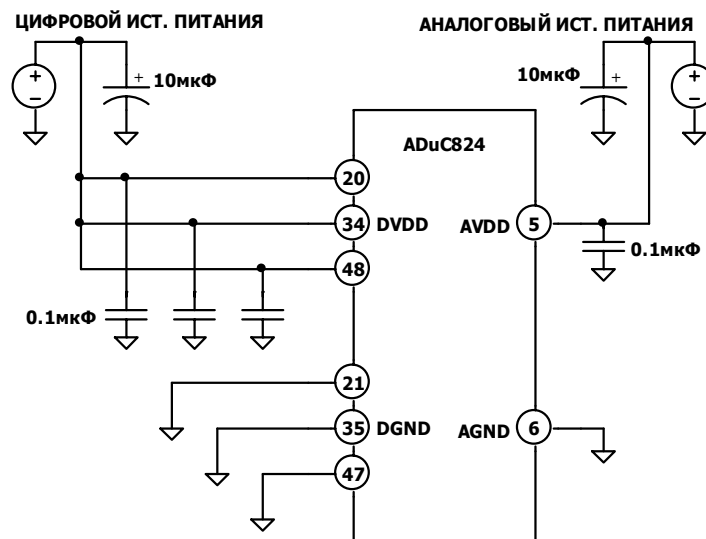


Рис.50. Подключение Двух Внешних Источников Питания.

Альтернативой использованию двух источников будет получение малошумящего AV_{DD} , помещая между ним и DV_{DD} малый последовательный резистор и/или ферритовую бусинку, а, затем, развязывая AV_{DD} отдельно на землю. Пример такой конфигурации приведен на Рис.51. При данном включении от линии питания AV_{DD} можно так же запитать и другие аналоговые цепи (как, например, ОУ, ИОН и т.д.).

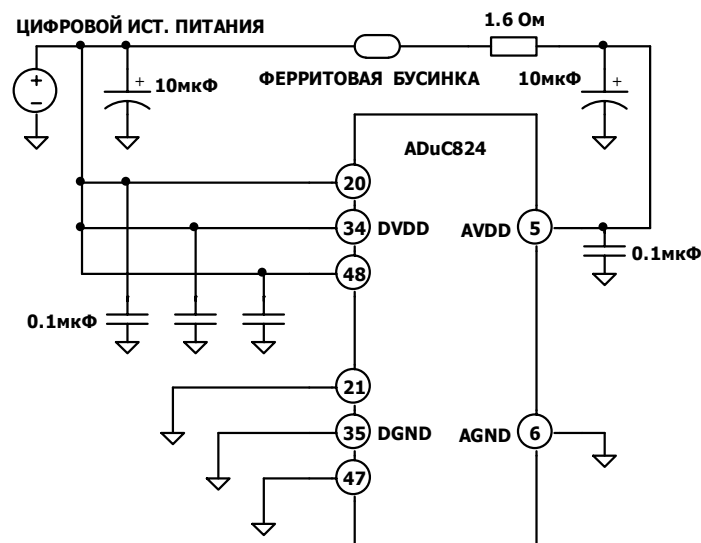


Рис.51. Подключение Одного Внешнего Источника Питания.

Отметим, что как на Рис.50, так и на Рис.51 устанавливаются блокирующие конденсаторы большой емкости (10мкФ) отдельно на каждом из входов питания: DV_{DD} и AV_{DD} . Кроме того, локально около каждого из выводов VDD ИС располагается по конденсатору малой емкости (0.1мкФ). Как при стандартной практике разработки, убедитесь, что все данные конденсаторы включены в изделие, убедитесь так же, что конденсаторы пренебрежимо малой емкости располагаются на минимальном расстоянии до вывода AV_{DD} , причем размеры проводников минимальны. Подключите контакты земли каждого из этих конденсаторов непосредственно на основную шину земли. Наконец, следует так же отметить, всегда, выводы аналоговой и цифровой земли на ADuC824 следует подключать к одной и той же точке земли системы.

Потребление

Значения потребления для «Ядра» представляют собой ток, потребляемый DV_{DD} в то время, как оставшаяся часть (АЦП и ЦАП) питается от вывода AV_{DD} и, когда она не используется, может быть отключена программно. Прочая встроенная периферия (сторожевой таймер, монитор источника питания и т.д.) потребляют пренебрежимо малый ток и поэтому объединяются с током «Ядра». Конечно, для того, чтобы определить общий ток потребления устройства, пользователь может добавить некоторые токи, отдаваемые в нагрузки параллельных и последовательных портов V/B, а также ток с ЦАП. Кроме того, ток, потребляемый от источника DVDD, увеличится приблизительно на 5мА при выполнении циклов стирания и записи Flash/EE памяти.

Режимы Экономии Питания

Установка битов Холостого режима и Снятия Питания, PCON.0 и PCON.1, соответственно, в PCON SFR, как описано в таблице II, позволяет переключить устройство из нормального режима работы в холостой режим или полностью снять с него питание.

В холостом режиме генератор продолжает работать, но тактовая частота с ФАПЧ на ядро не подается. Внутренняя периферия получает синхросигналы и остается работоспособной. Во время холостого режима статус ЦПУ сохраняется в стеке, программный счетчик и другие внутренние регистры сохраняют свое состояние. Выводы Портов и выходы ЦАП также сохраняют свое состояние, а выходы ALE PSEN/ переводятся в высокое состояние. Устройство выходит из холостого режима по получению любого разрешенного прерывания либо по аппаратному сбросу.

В режиме со снятым питанием останавливаются как ФАПЧ, так и синхросигналы к ядру. Работа внутреннего осциллятора либо запрещается, либо разрешается в зависимости от состояния бита управления состоянием осциллятора (OSC_PD) в PLLCON SFR. Таймер временного интервала (TIC), получающий счетные импульсы непосредственно от генератора, может быть так же разрешен в режиме со снятым питанием. В то же время вся внутренняя периферия запрещена. В этом режиме Порты сохраняют свои выходные уровни, а выход ЦАП переводится в состояние с высоким импедансом (третье состояние), выходы ALE и PSEN/ переводятся на низкий логический уровень. В режиме со снятым питанием типовой ADuC824 потребляет всего 5мкА. Существует пять способов выхода из режима со снятым питанием:

Установка сигнала RESET по выводу (#5)

Установка возвращает устройство в обычный режим работы, все регистры принимают значения по умолчанию и выполнение программы начинается с адреса вектора RESET, как только сигнал сброса будет снят.

Циклирование Питанием

Выключение-включение питания устанавливает все регистры в значения по умолчанию и выполнение программы начинается с адреса вектора RESET.

Прерывание по Счетчику Временного Интервала (TIC)

Режим со снятым питанием завершается, ЦПУ обрабатывает прерывание от TIC, по инструкции RETI в конце сервисной программы ядро возвратится на команду, следующую за той, которая вызвала режим со снятым питанием.

Прерывания от интерфейса I²C или SPI

Режим со снятым питанием завершается, ЦПУ обрабатывает прерывание от соответствующего интерфейса, по инструкции RETI в конце сервисной программы ядро возвратится на команду, следующую за той, которая вызвала режим со снятым питанием. Следует отметить, что для разрешения такой работы предварительно должен быть установлен бит разрешения прерывания от интерфейсов I²C/SPI в режиме со снятым питанием (SERIPD) в PCON SFR.

Прерывание INT0/

Режим со снятым питанием завершается, ЦПУ обрабатывает прерывание от INT0/, по инструкции RETI в конце сервисной программы ядро возвратится на команду, следующую за той, которая вызвала режим со снятым питанием. Следует отметить, что для разрешения такой работы предварительно должен быть установлен бит разрешения прерывания INT0/ в режиме со снятым питанием (INT0PD) в PCON SFR.

Заземление и Рекомендации по Топологии Печатной Платы

Как в случае любых конвертеров высокого разрешения, для того, чтобы достичь оптимальной работы АЦП и ЦАП в разработках на основе ADuC824 особое внимание следует уделить корректному выполнению заземления и топологии печатной платы.

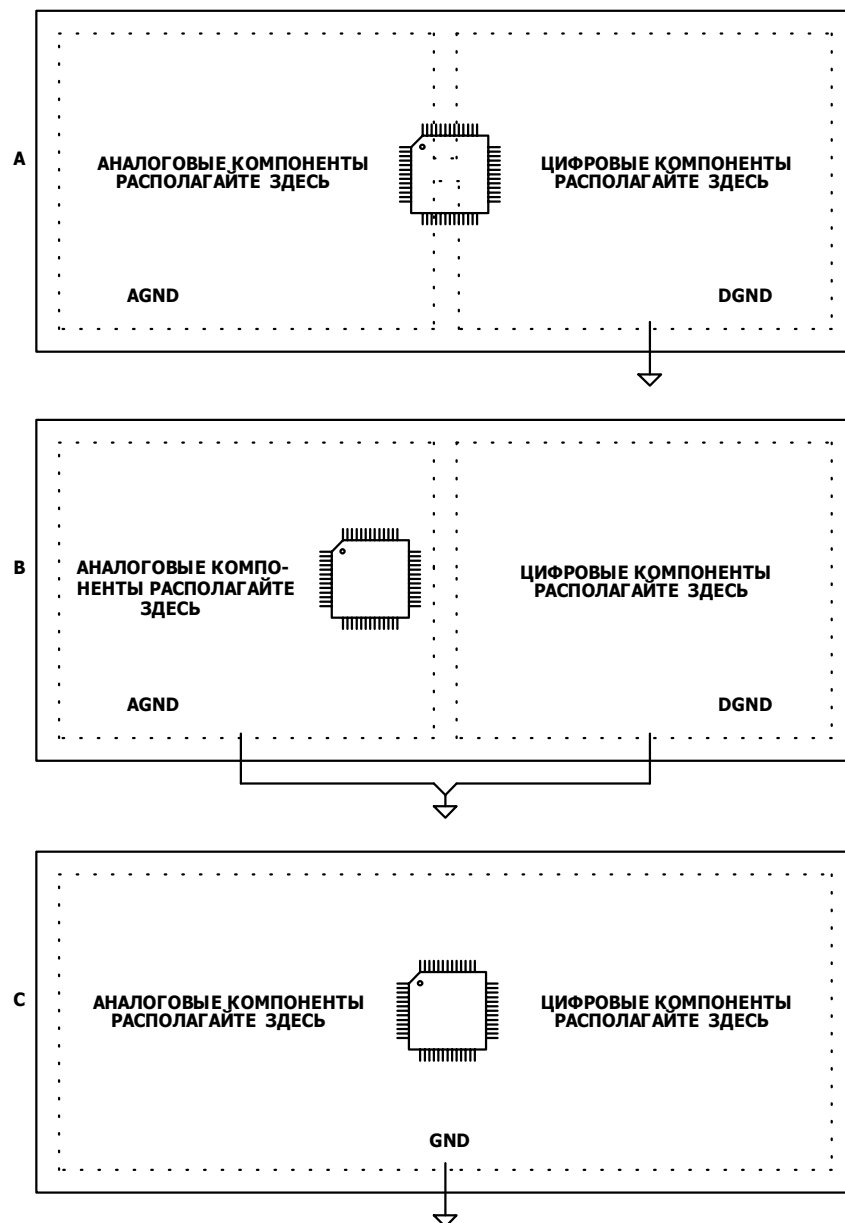


Рис.52. Схемы Выполнения Заземления в Системе.

Несмотря на то, что у ADuC824 существуют отдельные выводы аналоговой и цифровой земли (AGND и DGND), пользователь не должен подключать их к двум разделенным шинам земли, исключая тот случай, когда эти две шины соединяются вместе в непосредственной близости от ADuC824, как иллюстрируется на упрощенном примере на Рис.52А. В системах, где шины аналоговой и цифровой земли соединяются между собой достаточно далеко (например, на системном источнике питания), делать их повторное соединение около ADuC824 нельзя, поскольку, при этом, образуется замкнутый контур земли. В подобных случаях подключайте выводы AGND и DGND к шине аналоговой земли, как показано на Рис.52В. В системах с единственной шиной земли сначала

убедитесь, что цифровые и аналоговые компоненты разделены физически, в разных половинах платы, так, что цифровые токи возврата не протекают около аналоговых схем и – наоборот. После этого ADuC824 можно разместить между цифровой и аналоговой секциями, как показано на Рис.52С.

Во всех приведенных сценариях, а в особенности в более сложных схемах из реальной жизни, помните всегда о том, что токи текут от источников в схему, а возвращаются обратно в источники по земле. Убедитесь, что траектории возврата всех токов совпадают с траекториями прямого хода токов к точкам назначения. К примеру, не питайте компоненты, находящиеся в аналоговой секции, цифровым источником DV_{DD} (Рис.52В), так как это приведет к тому, что токи возврата к DV_{DD} потекут через шину аналоговой земли (AGND). Так же, старайтесь избегать того, чтобы цифровые токи протекали под аналоговыми цепями, что могло бы иметь место, если бы разработчик поместил шумящую цифровую ИС в аналоговой секции (на Рис.52С в левой части платы). Всегда, когда возможно, избегайте больших неоднородностей на шинах (плоскостях) земли (такие неоднородности формируются длинными проводниками, расположенными в одном слое), поскольку они заставляют токи возврата проделывать более длинный путь. И, конечно, выполняйте все подключения к шине земли непосредственно так, чтобы контактный вывод соединялся проводником наименьшей длины с соответствующим своим переходным отверстием на землю.

Если разработчик планирует подавать сигналы быстрой логики (время нарастания/спада < 5 нс) на некоторые цифровые входы ADuC824 добавьте по последовательному резистору на соответствующие линии для того, чтобы установить величину фронтов на входах устройства более 5нс. Обычно достаточно резистора в 100 Ом ÷ 200 Ом, чтобы избежать емкостной передачи быстрого сигнала внутрь ADuC824 и ухудшения из-за этого точности работы АЦП.

Система Самоидентификации ADuC824

Для некоторых разработок может оказаться полезным, чтобы программа, выполняющаяся на конечном контроллере идентифицировала свой MicroConverter. Например, код, выполняющийся на ADuC824, в дальнейшем будет выполняться на ADuC816, и может потребоваться, чтобы здесь код работал иначе.

Существует только читаемый регистр CHIPIP в SFR с адресом С2Н. В этом байте верхний ниббл устанавливается в «0», чтобы указать, что данное устройство ADuC824. Для ADuC816 в старшем ниббле содержится число «1».

РАССМОТРЕНИЕ ПРОЧЕЙ АППАРАТУРЫ

Для облегчения внутрисхемного программирования, внутрисхемной отладки и эмуляции пользователю желательно иметь несколько простых точек подключения к своей аппаратуре, которые бы позволили получить простой доступ к режимам загрузки, отладки и эмуляции.

Доступ к Последовательной Внутрисхемной Загрузке

Почти все разработчики на ADuC824 хотели бы воспользоваться возможностью внутрисхемной репрограммируемости устройства. Если загрузка кода производится с PC, то эта возможность реализуется путем подключения к UART ADuC824 с использованием ИС согласования уровней с RS-232. Основная схема подключения RS-232 показана на простой цепи с ИС ADM202 на Рис.53. Если же пользователи не встраивают RS-232 в схему на плате, то обращаем таких к заметке по применению «uC006 A 4-Wire UART-to-PC Interface»¹ за описанием простого и недорогого способа получения доступа к внутрисхемной загрузке ADuC824.

ПРИМЕЧАНИЕ

¹ Заметка uC006 доступна на www.analog.com/microconverter

В дополнение к подключению через UART пользователь должен иметь средство установить устройство в режим загрузки. Таким средством является подключенный на землю резистор 1КОм, который можно перемычкой соединять с выводом PSEN/, как показано на Рис.53. Для установки ADuC824 в режим загрузки, необходимо только замкнуть перемычку и после «щелкнуть» питанием (или, есть ручной сброс, нажать кнопку ручного сброса) и устройство будет готово принять последовательно новую программу. Если перемычку удалить, то устройство возвратится в режим обычной работы, как только выполнится «щелчок» питанием или подастся сигнал RESET.

Заметим, что обычно PSEN/ является выходом (как описано в разделе «Интерфейс к Внешней Памяти») но он считывается как вход только по спадающему (отрицательному) фронту сигнала RESET (т.е., при подаче питания или по внешнему ручному сбросу). По этому, отметим, что если некоторая внешняя цепь иногда «подтягивает» вывод PSEN/ к нижнему уровню в моменты подачи питания или сброса, то она возможно установит устройство в режим загрузки и по этой причине код пользователя не начнет выполняться, как должно было бы быть. Для предотвращения такого явления, убедитесь, что нет никаких внешних сигналов, способных «подтягивать» вывод PSEN/ вниз, кроме наличия собственно перемычки на PSEN/.

Внутрисхемный Отладчик через Последовательный Порт

С точки зрения аппаратуры, доступ к процессу отладки через последовательный порт абсолютно идентичен доступу к процессу последовательной загрузки, описанному выше. Фактически, как режим последовательной загрузки, так и режим отладки через последовательный порт можно рассматривать как один режим работы, используемый двумя различными способами.

Отметим, что отладчик через последовательный порт в ADuC824 резидентен (в противоположность «Отладчику ПЗУ»), и поэтому для реализации сеанса отладки «в системе» не потребуется никакой внешней памяти.

Режим Эмуляции с Одним Контактom

В ADuC824 встроен специализированный контроллер внутрисхемной эмуляции с помощью одного внешнего контакта (single-pin in-circuit emulation - ICE). Доступ к процессу эмуляции осуществляется путем подключения к единственному внешнему контакту, контакту EA/. В обычных условиях, для выполнения программы во внутренней либо во внешней памяти, пришлось бы аппаратно подать на этот контакт либо высокий, либо низкий логический уровень, как описано ранее. Для разрешения режима эмуляции с помощью одного внешнего контакта потребуется подключить вывод EA/ к питанию через резистор 1КОм, как показано на Рис.53. Тогда, как следует из того же рисунка, эмулятор будет подключаться к двухконтактному пробнику-головке. Для обеспечения совместности со стандартным разъемом, поставляемым с одно контактным эмулятором от «Accutron Limited» (www.accutron.com), используйте двух контактную головку с шагом 0.1 дюйма (2.54мм) «Friction Lock» от «Molex» (www.molex.com), как, например, изделие 22-27-2021 из каталога. Обеспечьте соблюдение полярности установки данного пробника. Как показано на Рис.53, когда ключ разъема Friction Lock находится справа, контакт земли должен быть нижним из двух контактов (на виде сверху).

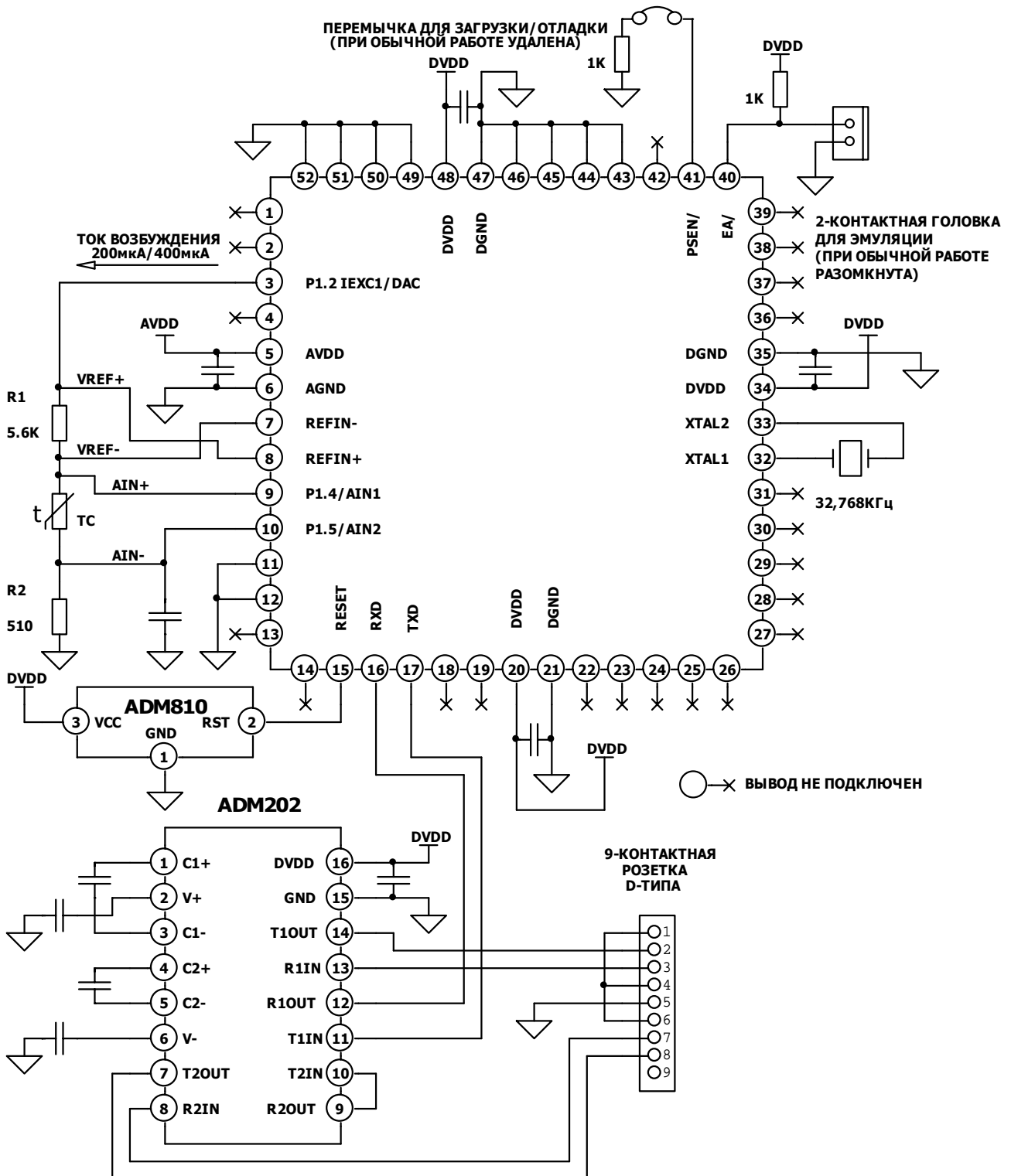


Рис.53. Схема Типовой Системы.

Режим Расширенной Внешней Эмуляции

ADuC824 так же поддерживает режим расширенной внешней эмуляции. Metalink Corporation (www.metalink.com) поставляет эмуляторы этого типа. Для реализации режима нет необходимости встраивать в прикладную плату специальную аппаратуру, поскольку эти эмуляторы являются устройствами «переходного типа», т.е. они заменяют ИС на прикладной плате на устройство-пробник. И в этом случае, единственной аппаратной проблемой является наличие достаточного места для размещения переходника-эмулятора в корпусе прикладной системы.

Схема Типовой Системы

Схема типовой системы на основе ADuC824 показана на Рис.53. Она отражает аппаратные особенности, обсужденные в предыдущих разделах. На рисунке показана схема типового приложения на ADuC824 для выполнения аналогового измерения, а именно – интерфейс к термопреобразователю сопротивления (ТС). Показанная схема включения датчика обычно носит название 4-проводного подключения ТС. Внешнее дифференциальное опорное напряжение создается током, протекающим через резистор R1. Этот же ток протекает непосредственно через ТС, на котором создается дифференциальное напряжение, пропорциональное температуре. Это дифференциальное напряжение подается непосредственно на положительный и отрицательный входы основного АЦП (AIN1 и AIN2 соответственно). Второй внешний резистор, R2, используется для гарантии того, чтобы абсолютная величина аналогового напряжения на отрицательном входе не стала ниже предельного значения, специфицированного для ADuC824, т.е., AGND+100мВ.

Следует отметить, что изменения тока возбуждения не оказывают влияния на точность измерения, так как входное напряжение с ТС и опорное напряжение на R2 меняются от тока возбуждения пропорционально. В то же время, резистор R1 должен иметь низкий ТК для того, чтобы избежать температурной зависимости опорного напряжения и связанной с ней ошибкой.

СИСТЕМА РАЗРАБОТКИ QUICKSTART

Система разработки QuickStart является универсальным и недорогим инструментом разработки годным для поддержки МК ADuC824. Система состоит из следующих аппаратных и программных средств на основе PC компьютера (Windows-совместимая).

Аппаратура:	Оценочная плата ADuC824, адаптер с источником питания и кабель последовательного порта
Средства разработки кода:	Ассемблер 8051, C-компилятор (ограничен 2К)
Средство программной отладки:	ADSIM, программный эмулятор для отладки кода MicroConverter в среде Windows
Внутрисхемный загрузчик кода:	Последовательный загрузчик
Внутрисхемный отладчик:	Отладчик через последовательный порт
Прочее:	Документация на CD-ROM и два дополнительных устройства-прототипа.

На Рис.54 показаны типовые компоненты системы разработки QuickStart, а на Рис.55 показан типовой сеанс отладки. Краткое описание некоторых программных компонент системы разработки приводятся ниже.

Download – Последовательный Внутрисхемный Загрузчик

Последовательный загрузчик является программным продуктом, который позволяет пользователю загружать ассемблированную программу (формат файла Intel Hex) во внутреннюю Flash-память через последовательный порт COM1 стандартного PC компьютера. Заметка по применению (uC004), детализующая данный последовательный протокол, доступна на www.analog.com/microconverter.

DeBug – Внутрисхемный Отладчик

Отладчик является прикладной программой в среде Windows, которая позволяет пользователю отлаживать выполнение кода на кристалле, используя последовательный порт UART MicroConverter. Отладчик дает доступ ко всей внутренней периферии кристалла в течение типового сеанса отладки, а также позволяет управлять ходом выполнения программы с использованием пошагового режима и точек останова.

ADSIM Программный Эмулятор в Среде Windows.

Эмулятор является прикладной программой в среде Windows, которая полностью моделирует работу всего MicroConverter, включая АЦП и ЦАП. Эмулятор обеспечивает простоту использования, удобный интерфейс к MicroConverter и включает в себя множество стандартных приемов отладки, включая наличие нескольких точек останова, пошаговый режим и трассировку исполнения кода. Это средство можно использовать как учебное пособие к устройству, так и как эффективный способ подтверждения работоспособности кода до его загрузки на аппаратную платформу.

Программные средства разработки QuickStart доступны бесплатно на сайте фирмы Analog Devices: www.analog.com/microconverter.

В оригинале приводятся следующие рисунки, относящиеся к процессу отладки:

Стр.67 – Рис.54. Компоненты системы разработки QuickStart.

Стр.67 – Рис.55. Типовой сеанс отладки.

ГАБАРИТНЫЕ РАЗМЕРЫ
Размеры показаны в дюймах и (мм)

**52-контактный MQFP корпус
(S-52)**

